

)
IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Hans-Georg FRÖLICH et al.

Application No.: New U.S. Application

Filed: March 29, 2004

Group Art Unit: Unassigned

For: METHOD FOR FABRICATING A CONTACT
HOLE PLANE IN A MEMORY MODULE

Examiner: Unassigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

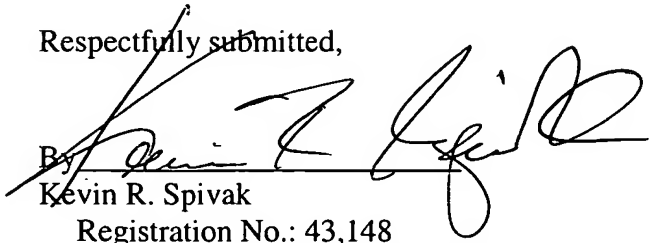
Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Germany	103 14 274.6	March 29, 2003

In support of this claim, certified copy of said original foreign application is filed herewith.

Dated: March 29, 2004

Respectfully submitted,


By Kevin R. Spivak

Registration No.: 43,148
MORRISON & FOERSTER LLP
1650 Tysons Blvd, Suite 300
McLean, Virginia 22102
(703) 760-7762 – Telephone No.
(703) 760-7777 – Facsimile No.



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 14 274.6

Anmeldetag: 29. März 2003

Anmelder/Inhaber: Infineon Technologies AG,
81669 München/DE

Bezeichnung: Verfahren zum Herstellen einer Kontaktloch-
ebene in einem Speicherbaustein

IPC: H 01 L 21/283

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 19. Februar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, appearing to be 'Remus'.

Remus

Beschreibung

Verfahren zum Herstellen einer Kontaktlochebene in einem Speicherbaustein

- 5 Die Erfindung betrifft ein Verfahren zum Herstellen einer Kontaktlochebene in einem Speicherbaustein mit einer Anordnung von Speicherzellen, die jeweils einen Auswahltransistor aufweisen. Die Erfindung betrifft dabei insbesondere einen dynamischen Schreib/Lesespeicher mit wahlfreiem Zugriff
10 (DRAM) .

DRAMs setzen sich aus einer Vielzahl von Speicherzellen zusammen, die regelmäßig in Form einer Matrix auf einer Halbleiterscheibe ausgebildet sind. Diese Speicherzellen bestehen im Allgemeinen aus einem Speicherkondensator und einem Auswahltransistor. Bei einem Lese- bzw. Schreibvorgang wird der
15 Speicherkondensator mit einer elektrischen Ladung, die der jeweiligen Dateneinheit (Bit) entspricht, über den Auswahltransistor ge- bzw. entladen. Hierzu wird der Auswahltransistor mit Hilfe einer Bit- und einer Wortleitung adressiert.

- 20 DRAMs werden in der Regel mit Hilfe der Planartechnik realisiert. Diese beinhaltet eine Abfolge von jeweils ganzflächig an der Oberfläche der Halbleiterscheibe wirkenden Einzelprozessen, die über geeignete Maskierungsschichten gezielt zur lokalen Veränderung des Halbleitermaterials führen. Der Auswahltransistor der Speicherzelle wird dabei in der Regel als
25 Feldeffekttransistor ausgeführt mit zwei hoch dotierten Diffusionsbereichen in der Halbleiterscheibe, welche die Source/Drain-Elektroden bilden. Zwischen diesen beiden Diffusionsbereichen ist ein Kanal ausgebildet, über den eine elektrisch leitende Verbindung mit Hilfe einer über dem Kanal aus-
30 gebildeten Gateelektrode hergestellt werden kann. Die Gateelektroden der Feldeffekttransistoren werden bei DRAMs als parallel verlaufende Gateelektrodenbahnen realisiert, die die Wortleitungen des DRAMs bilden. Quer über diese Gateelektro-

denbahnen verlaufen dann die Bitleitungen, wobei im Zwischen-
raum zwischen zwei Gateelektrodenbahnen eine leitende Verbin-
dung zwischen einer Bitleitung und einer Source/Drain-
Elektrode des Auswahltransistors einer entsprechenden Spei-
5 cherzelle hergestellt ist.

Der Bitleitungskontakt wird im DRAM-Prozess üblicherweise als
so genannter „Self-aligned“-Kontakt hergestellt. Eine mögli-
che Prozessfolge zur Ausbildung von solchen Bitleitungskon-
takte ist schematisch in Fig. 4 dargestellt. Die Figuren 4A
10 bis 4D zeigen jeweils einen Querschnitt durch eine Silicium-
scheibe nach verschiedenen aufeinander folgenden Prozess-
schritten zur Ausbildung der Bitleitungskontakte. Ausgangs-
punkt ist die vorstrukturierte Siliciumscheibe 1, auf der ä-
quidistant beabstandet Gateelektrodenbahnen 2 ausgebildet
15 sind. Diese Gatebahnen 2 bestehen im Allgemeinen aus einem
leitenden Schichtenstapel 21, der von einer Siliciumnitrid-
kappe 22 abgedeckt wird. An den Seitenwänden der Gateelektro-
denbahnen 2 sind isolierende Abstandshalter 23, so genannte
Spacer, vorzugsweise aus Siliciumnitrid, ausgebildet. Ein
20 Querschnitt durch die entsprechend vorstrukturierte Silicium-
scheibe ist in Fig. 4A gezeigt.

In einen ersten Schritt zur Ausbildung der Bitleitungskontak-
te wird eine weitere Siliciumnitridschicht 300 abgeschieden.
Um den Bereich der Bitleitungskontakte auf der Siliciumschei-
25 be 1 zu definieren, wird anschließend eine Maskenschichtfolge
350, 400 erzeugt, die die Bitleitungskontakte komplett abbe-
deckt. Fig. 4B zeigt einen Querschnitt durch die Silicium-
scheibe 1 nach diesem Prozessschritt.

Mit Hilfe eines Lithographieschrittes werden dann auf der
30 Maskenschichtfolge 350, 400 die Bereiche festgelegt, an denen
später die Bitleitungskontakte der Auswahltransistoren er-
zeugt werden sollen. Diese Bereiche der Maskenschichtfolge
350, 400 werden dann mit Hilfe einer selektiven Ätzung geöff-
net. Durch eine weitere Ätzung wird dann die Siliciumnitrid-

schicht 300 in den Öffnungsbereichen der Maskenschichtfolge 350, 400 entfernt. Die sich dann ergebende Siliciumscheiben-Ausgestaltung ist in Fig. 4C gezeigt. Bei der Siliciumnitrid-Ätzung wird die Siliciumnitridschicht 300 im Wesentlichen nur an den horizontalen Flächen weggeätzt, bleibt jedoch an den Seitenwänden der Gateelektrodenbahnen 2 zurück, wie in Figur 3C gezeigt ist.

In einem abschließenden Prozessschritt werden dann die Kontaktöffnungen mit einem leitfähigen Material aufgefüllt, um die Bitleitungskontakte 9 herzustellen. Ein Querschnitt durch die Siliciumscheibe 1 nach Erzeugen des Bitleitungskontakte 9 ist in Fig. 4D gezeigt.

Ein solcher Standardprozess zur Bitleitungskontakterzeugung ist unter anderem aus der WO 01/09948 bekannt. Dieser Standardprozess hat im Wesentlichen drei wesentliche Nachteile. Der Abstand zwischen zwei nebeneinander liegenden Gateelektrodenbahnen, zwischen denen der Bitleitungskontakt ausgeführt werden soll, wird durch die Siliciumnitrid-Spacer an den Seitenwänden der Gateelektrodenbahnen zusätzlich verkleinert. Diese Spaltverengung vergrößert das Aspektverhältnis, also das Verhältnis von Breite zu Höhe der Kontaktöffnungen, wodurch sich in den Kontaktöffnungen auszuführenden Prozesse zunehmend schwieriger gestalten. Dieses Problem verstärkt sich von DRAM-Generation zu DRAM-Generation aufgrund der immer kleineren lateralen Abmessungen. Der Siliciumnitrid-Spacer im Kontaktloch führt darüber hinaus wegen seiner hohen Dielektrizitätskonstante zu einer starken Kopplung zwischen dem leitenden Material im Bitleitungskontakt und den Gateelektrodenbahnen, so dass die Gefahr besteht, dass die elektrischen Eigenschaften der Speicherzellen beeinträchtigt werden. Der Einsatz des Siliciumnitrids als Spacer zum Ausbilden der Bitleitungskontakte hat außerdem den Nachteil, dass aufgrund der geforderten gerichteten Ätzung ein Ätzprozess mit einem hohen Sputteranteil erfordert ist, wobei die

Gateelektrodenbahnen insbesondere im oberen Kantenbereich angegriffen und beschädigt werden können.

Zielsetzung der Erfindung ist es deshalb, eine optimierte Prozessführung zum Herstellen von Bitleitungskontakten in einem Speicherbaustein bereitzustellen, die sich durch eine geringe Kopplungskapazität zwischen Bitleitungskontakten und Gateelektrodenbahnen auszeichnet und darüber hinaus auf einfache Weise eine zuverlässige und beschädigungsfreie Bitleitungskontaktherstellung ermöglicht.

10 Diese Aufgabe wird durch ein Verfahren gemäß Anspruch 1 gelöst. Bevorzugte Weiterbildungen sind in den abhängigen Ansprüchen angegeben.

Gemäß der Erfindung werden zum Herstellen einer Kontaktlochebene in einem Speicherbaustein mit einer Anordnung von Speicherzellen, die jeweils einen Auswahltransistor aufweisen, folgende Verfahrensschritte ausgeführt:

Bereitstellen eines Halbleitersubstrats mit einer Anordnung von nebeneinander liegenden Gateelektrodenbahnen auf der Halbleiteroberfläche;

20 Erzeugen einer Isolatorschicht auf der Halbleiteroberfläche; Ausbilden einer Opferschicht auf der Isolatorschicht, wobei die Bereiche zwischen den nebeneinander liegenden Gateelektrodenbahnen im Wesentlichen aufgefüllt und die Gateelektrodenbahnen überdeckt sind;

25 Ausbilden von Materialstöpseln auf der Opferschicht zum Festlegen von Kontaktöffnungen zwischen den nebeneinander liegenden Gateelektrodenbahnen; anisotropes Ätzen der Opferschicht, wobei die Materialstöpsel mit den darunter liegenden Opferschichtblöcken stehen bleiben;

30 Erzeugen einer glasartigen Schicht unter Freilegen der Opferschichtblöcke über den Kontaktöffnungen zwischen den nebeneinander liegenden Gateelektrodenbahnen, wobei die Bereiche zwischen den nebeneinander liegenden Gateelektrodenbahnen im

Wesentlichen aufgefüllt sind und eine im Wesentlichen ebene Oberfläche ausgebildet ist;

Ätzen von Opferschichtmaterial aus der glasartigen Schicht zum Entfernen der Opferschichtblöcke über den Kontaktöffnungen zwischen den nebeneinander liegenden Gateelektrodenbahnen;

Entfernen der freigelegten Isolatorschicht über den Kontaktöffnungen auf der Halbleiteroberfläche zwischen den nebeneinander liegenden Gateelektrodenbahnen; und

Auffüllen der Kontaktöffnungsbereiche mit einem leitfähigen Material, wobei eine im Wesentlichen ebene Oberfläche mit der umgebenden glasartigen Schicht ausgebildet ist.

Durch die erfindungsgemäße Prozessführung kann auf den Einsatz eines Siliciumnitrid-Spacers zum Ausbilden der Bitleitungskontakte zwischen den parallel verlaufenden Gateelektrodenbahnen komplett verzichtet werden. Stattdessen können Material-Spacer, wie in einer bevorzugten Ausführungsform angegeben, zum Beispiel Siliciumdioxid-Spacer als isolierender Abstandshalter eingesetzt, die sich gegenüber den Siliciumnitrid-Spacern durch eine wesentlich kleinere Dielektrizitätskonstante und damit eine verminderte Kopplung zwischen dem leitenden Material in den Bitleitungskontakten und den Gateelektrodenbahnen auszeichnen. Die in der Prozessführung durchgeführte Opferschichtätzung zum Öffnen des Kontaktloches in der glasartigen Schicht zeichnet sich durch eine hohe Selektivität beim Ätzen aus, wobei mit Hilfe des Ätzprozesses keine Strukturierung durchgeführt werden muss und damit im Wesentlichen kein Sputteranteil beim Ätzprozess erforderlich ist. Dies gewährleistet, dass die Gateelektrodenbahnen bei der Kontaktlochöffnung nicht beschädigt werden.

Gemäß einer bevorzugten Ausführungsform werden zum Erzeugen der glasartigen Schicht unter Freilegen der Opferschichtblöcke über den Kontaktöffnungen zwischen den nebeneinander liegenden Gateelektrodenbahnen folgende Verfahrensschritte durchgeführt:

Entfernen der freigelegten Isolatorschicht auf der Halbleiteroberfläche zwischen den nebeneinander liegenden Gateelektrodenbahnen;

5 Erzeugen von Dotierungen in vorbestimmten Bereichen der freigelegten Halbleiteroberfläche zwischen den nebeneinander liegenden Gateelektrodenbahnen zum Ausbilden der Auswahltransistoren;

Erzeugen einer bestehenden Linerschicht;

10 Ausbilden der glasartigen Schicht auf der Linerschicht, wobei die Bereiche zwischen den nebeneinander liegenden Gateelektrodenbahnen im Wesentlichen aufgefüllt sind; und

Planarisieren der glasartigen Schicht unter Freilegen der Opferschichtblöcke über den Kontaktöffnungen zwischen den nebeneinander liegenden Gateelektrodenbahnen, wobei die im Wesentlichen ebene Oberfläche ausgebildet wird.

Diese Vorgehensweise stellt eine besonders effektive und kostengünstige Prozessführung dar, um mit Hilfe der glasartigen Schicht eine zuverlässige Ätzmaske für das anschließende Entfernen der Opferschichtblöcke auszubilden.

20 Gemäß einer weiteren bevorzugten Ausführungsform wird die Polysiliciumschicht auf der Isolatorschicht dabei auf folgende Weise erzeugt. Es wird eine erste Opferschicht auf der Isolatorschicht abgeschieden, wobei die Bereiche zwischen den nebeneinander liegenden Gateelektrodenbahnen im Wesentlichen
25 aufgefüllt und die Gateelektrodenbahnen überdeckt sind. Dann wird die erste Opferschicht unter Freilegung der Gateelektrodenbahnen planiert, wobei eine im Wesentlichen ebene Oberfläche ausgebildet ist. Abschließend wird eine zweite Opferschicht abgeschieden, wobei die Schichtdicke der zweiten Opferschicht
30 vorzugsweise 200 bis 1000 nm beträgt.

Diese Vorgehensweise sorgt für eine homogene und hoch ebene Opferschichtoberfläche, die es ermöglicht, auch kleinste freistehende Lackstrukturen auszubilden, ohne dass diese aufgrund von Unebenheiten der darunter liegenden Opferschicht

umfallen. Insbesondere lässt sich durch diese Vorgehensweise unter der Lackschicht zuverlässig eine ARC-Schicht, die für eine verbesserte Lackhaftung und -belichtung sorgt, mit einer vorgegebenen Dicke und einer hohen Genauigkeit erzeugen. Weiterhin kann zum Planarisieren der ersten Opferschicht ein chemisch-mechanisches Polierverfahren in Stop-Polishing-Technik, das von der Nitriddeckschicht der Gateelektrodenbahnen gestoppt wird, eingesetzt werden. Dieses chemisch-mechanische Polieren sorgt für eine hohe Oberflächenplanarität.

Gemäß einer alternativen bevorzugten Ausführungsform wird die Opferschicht auf der Isolatorschicht mit folgenden Verfahrensschritten ausgebildet. Erst wird die Opferschicht auf der Isolatorschicht abgeschieden, wobei die Bereiche zwischen den nebeneinander liegenden Gateelektrodenbahnen aufgefüllt und die Gateelektrodenbahnen überdeckt sind. Dann wird die Opferschicht planarisiert, wobei die Gateelektrodenbahnen mit einer Schichtdicke von vorzugsweise 200 bis 1000 nm überdeckt bleiben und eine im Wesentlichen ebene Oberfläche ausgebildet ist.

Mit dieser Vorgehensweise lässt sich wiederum eine hoch ebene Opferschichtoberfläche zum Ausbilden auch kleinster Lackstrukturen bevorzugt unter Zuhilfenahme einer vorher aufgetragenen Lackschicht ausbilden, wobei das dargestellte Verfahren nur eine einzige Opferschicht-Aufbringung benötigt und sich ein kostengünstiger, so genannter Blind-Polishing-Prozess beim chemisch-mechanischen Polieren, d.h. ein Planarisierungsstopp nach einer vorbestimmten Zeit in der Polysiliziumschicht, einsetzen lässt.

Gemäß einer weiteren bevorzugten Ausführungsform werden die Materialstöpsel auf der Opferschicht zum Festlegen der Kontaktöffnungen zwischen den nebeneinander liegenden Gateelektrodenbahnen mit folgenden Verfahrensschritten ausgebildet. Zuerst wird vorzugsweise eine ARC-Schicht auf der Opfer-

schicht abgeschieden. Dann wird eine Lackschicht auf der ARC-Schicht aufgebracht, anschließend über eine Maske, die die Kontaktöffnungen zwischen den nebeneinander liegenden Gateelektroden festlegt belichtet und dann die Lackschicht entwickelt, um die belichteten Bereiche der Lackschicht zu entfernen und die Materialstöpsel aus Lackmaterial auf der Polysiliciumschicht zum Festlegen von Kontaktöffnungen zwischen den nebeneinander liegenden Gateelektrodenbahnen auszubilden. Diese Vorgehensweise ermöglicht es, Materialstöpsel in genau definierter Form zur Festlegung der Kontaktöffnungen für die Bitleitungskontakte zwischen den Gateelektrodenbahnen mit Hilfe einer Fotolackschicht auszubilden.

Gemäß einer alternativen Ausführungsform besteht die Möglichkeit, die Materialstöpsel auf der Opferschicht in folgender Weise herzustellen. Zuerst wird eine Hartmaskenschicht auf der Opferschicht abgeschieden, dann eine Lackschicht auf der Hartmaskenschicht. Anschließend wird die Lackschicht über eine Maske, die die Kontaktöffnungen zwischen den nebeneinander liegenden Grabenelektrodenbahnen festlegt, belichtet. Dann wird die Lackschicht entwickelt, um die belichteten Bereiche der Lackschicht zu entfernen und die Hartmaskenschicht freizulegen. Durch anisotropes Ätzen wird die strukturierte Lackschicht in die Hartmaskenschicht übertragen. Anschließend wird die strukturierte Lackschicht entfernt und ein Füllmaterial in die Ätzöffnungen der Hartmaskenschicht eingebracht. Nach dem Entfernen der Hartmaskenschicht bleiben dann Materialstöpsel aus dem Füllmaterial auf der Opferschicht zurück, die die Kontaktöffnungen zwischen den nebeneinander liegenden Gateelektrodenbahnen festlegen.

Durch diese inversive Ausbildung der Materialstöpsel aus einem Füllmaterial lassen sich auch kleinste Stöpselstrukturen zuverlässig herstellen. Die zusätzlich aufgebrachte Hartmaskenschicht dient als weitere Opferschicht, in der durch Ätzen Öffnungen, die mit einem Lithografieschritt vordefiniert sind, erzeugt werden. Durch das Verfüllen dieser Öffnungen

mit einem Füllmaterial und anschließendes Entfernen der Hartmaskenschicht werden hoch präzise Materialstöpselstrukturen ausgebildet. Vorteilhaft bei dieser Vorgehensweise ist dabei, dass auf eine Planarisierung der unter der Hartmaskenschicht liegenden Opferschicht verzichtet werden kann. Weiterhin kann durch die Hartmaskenschicht die Stöpselhöhe exakt auf eine gewünschte Höhe, die optimal für die nachfolgenden Prozessschritte ist, eingestellt werden. Darüber hinaus kann durch geeignete Wahl des Füllmaterials eine hohe Ätzesistenz bei der Hartmaskenätzung erreicht werden.

Gemäß einer bevorzugten Ausführungsform wird als Hartmaskenschicht eine glasartige Schicht verwendet. Durch die Verwendung einer solchen optisch durchsichtigen Hartmaskenschicht bei nicht planarem Untergrund der Opferschicht können Stufen in der Opferschicht zu Alignment- und Overlay-Messungen der Kontaktlochlithografie genutzt werden.

Gemäß einer bevorzugten Ausführungsform wird als Material für die Opferschicht vorzugsweise Polysilicium eingesetzt. Polysilicium ermöglicht eine besonders hohe Selektivität beim Freiätzen der Kontaktlochoffnungen in der glasartigen Schicht, wobei der Ätzprozess mit einem sehr niedrigen Sputeranteil durchgeführt werden kann, wodurch verhindert wird, dass die Kontaktlochoffnung beim Ätzprozess beschädigt wird.

Gemäß einer weiteren bevorzugten Ausführungsform wird eine kohlenstoffbasierte Schicht als Opferschicht in den Kontaktöffnungen eingesetzt. Kohlenstoff ermöglicht eine Oxidätzung in einer Standard-Trockenätzkammer, wodurch sich eine besonders hohe Selektivität erzielen lässt. Darüber hinaus zeichnen sich Kohlestoffschichten durch ein besonders günstiges Abschneideverhalten aus, wobei sich eine hohe Planarität einstellt. Dies sorgt für einen kostengünstigen Schichtenaufbringungsprozess. Bevorzugt ist dabei weiterhin eine dielektrische Schicht zusätzlich auf der kohlenstoffbasierten Schicht aufzubringen. Diese zusätzliche dielektrische Masken-

schicht sorgt für eine hohe Selektivität sowohl zur darüber liegenden Lithographiemaske als auch zur darunter liegenden Kohlenstoffschicht und damit für eine Verbesserung des Ätzverhaltens.

- 5 Die Erfindung wird anhand der beigefügten Zeichnungen näher erläutert. Es zeigen
Fig. 1A bis 10 eine mögliche Ausführungsform einer erfindungsgemäßen Prozessabfolge zum Herstellen einer Kontaktlochebene in einem Speicherbaustein, wobei jeweils schematische
10 Querschnitte durch die Siliciumscheibe in verschiedenen Prozessstadien der Prozessabfolge gezeigt sind;
Fig. 2A bis 2G eine alternative Ausführungsform der erfindungsgemäßen Prozessabfolge in Bezug auf die Ausbildung der Materialstöpsel auf der Polysiliciumschicht zum Festlegen von
15 Kontaktöffnungen zwischen den nebeneinander liegenden Gateelektrodenbahnen, wobei die einzelnen Figuren jeweils einen schematischen Querschnitt durch die Siliciumscheibe nach verschiedenen Prozessstadien zeigen;
Figur 3A bis 3D zeigen eine weitere Ausführungsform der erfindungsgemäßen Prozessabfolge im Bezug auf die Ausbildung
20 der Metallstöpsel, wobei eine Kohlenstoffschicht zum Festlegen von Kontaktöffnungen zwischen den nebeneinanderliegenden Gateelektrodenbahnen eingesetzt wird und die einzelnen Figuren jeweils einen schematischen Querschnitt durch die Siliziumscheibe in verschiedenen Prozessstadien der Prozessfolge
25 zeigen; und
Fig. 4A bis 4D ein herkömmliches Verfahren zum Ausbilden von Bitleitungskontakten zwischen Gateelektrodenbahnen eines Speicherbausteins, wobei die einzelnen Figuren jeweils Querschnitte durch die Siliciumscheibe nach verschiedenen Prozessstadien zeigen.
- 30

Die Erfindung wird beispielhaft an einer Prozessfolge zum Herstellen einer Kontaktlochebene in einem DRAM-Baustein mit einem Speicherzellenbereich und einem Logikbereich auf einer
35 Siliciumscheibe dargestellt. Die Erfindung lässt sich jedoch

zur Ausbildung beliebiger Kontakte zwischen Gateelektrodenbahnen bei Halbleiterbausteinen einsetzen.

Fig. 1A bis 10 zeigen jeweils einen Querschnitt durch einen Ausschnitt einer vorstrukturierten Siliciumscheibe 1, auf der ein Speicherzellenbereich und ein peripherer Logikbereich vorgesehen sind. Die Speicherzellen des DRAMs setzen sich dabei aus einem Auswahltransistor und einem Speicherkondensator zusammen. Der periphere Logikbereich enthält verschiedene Bauelemente zum Ansteuern der Speicherzellen.

Fig. 1A zeigt den Ausgangspunkt, die vorstrukturierte Siliciumscheibe 1 (Strukturen sind nicht gezeigt), auf der ein Zellenfeld, dargestellt durch vier äquidistant beabstandete Gateelektrodenbahnen 2, und ein davon getrennter Logikbereich, dargestellt durch eine weitere Gateelektrodenbahn 20, ausgebildet ist. Im Bereich des Speicherzellenfeldes der Siliciumscheibe 1 sind insbesondere bereits die vorzugsweise als Grabenkondensatoren ausgebildeten Speicherkondensatoren vorgesehen. Die Gateelektrodenbahnen 2, die die Wortleitungen im Zellenfeld bilden, setzen sich im Allgemeinen aus einem Schichtstapel, bestehend aus einer leitenden Schicht 21 und einer Deckschicht 22, zusammen. Die leitende Schicht 21 kann dabei aus einem Metall oder auch einem dotierten Polysilicium bestehen. Die Deckschicht 22 ist vorzugsweise aus Siliciumnitrid hergestellt.

Auf diese so vorstrukturierte Siliciumscheibe 1 mit den Gateelektrodenbahnen 2, 20 wird in einem ersten Prozessschritt eine Siliciumdioxidschicht 3 aufgebracht. Die Siliciumdioxidschicht 3 wird dabei vorzugsweise mit Hilfe des so genannten LPCVD-Verfahrens aufgebracht, das eine hohe Konformität der Siliciumdioxidschicht 3 gewährleistet. Die Siliciumdioxidschicht 3 dient als isolierender Abstandshalter zwischen den Gateelektrodenbahnen 2. Ein Querschnitt durch die Siliciumscheibe 1 nach diesem Prozessschritt ist in Fig. 1B gezeigt.

Anschließend wird in einem weiteren Prozessschritt, ebenfalls vorzugsweise mit Hilfe des LPCVD-Verfahrens eine Polysiliciumschicht 4 großflächig auf der Siliciumdioxidschicht 3 abgeschieden. Die Schichtdicke der Polysiliciumschicht 4 ist dabei vorzugsweise wenigstens ein- bis dreimal die Höhe der Gateelektrodenbahnen 2. Ein Querschnitt durch die Siliciumscheibe nach diesem Prozessschritt ist in Fig. 1C dargestellt. Auf der Oberfläche der Polysiliciumschicht 4 zeigt sich dabei eine Resttopologie der Struktur der darunter liegenden Gateelektrodenbahnen 2 auf der Siliciumscheibe 1.

In einem weiteren Prozessschritt wird dann die Oberfläche der Polysiliciumschicht 4 planarisiert, um eine ebene Oberfläche zu erzielen. Hierzu wird vorzugsweise ein chemisch-mechanischer Polierprozess eingesetzt, wobei sich eine besonders hohe Planarität durch die Verwendung eines so genannten Stop-Polishing-Prozesses erreichen lässt. Hierbei wird der chemisch-mechanische Poliervorgang automatisch beim Auftreffen auf die darunter liegende Schicht stark abgebremst und kann so beendet werden. Ein besonders vorteilhafter Stop-Polishing-Prozess lässt sich durch einen Stopp auf der Nitriddeckschicht 22 der Gateelektrodenbahn 2 erzielen. Es ergibt sich dann eine besonders ebene Oberfläche, wie sie in Fig. 1D gezeigt ist, wobei die Siliciumdioxidschicht 3 von der Gateelektrodenbahn 2, 20 mit herunterpoliert ist und die Nitriddeckschicht 22 der Gateelektrodenbahnen 2, 20 frei liegt.

Anschließend wird in einem weiteren Abscheideprozess, vorzugsweise wieder mit Hilfe des LPCVD-Verfahrens, eine weitere Polysiliciumschicht 5 mit einer Schichtdicke von 200 bis 1000 nm, vorzugsweise 300 bis 400 nm, auf der ersten Polysiliciumschicht 4 abgeschieden. Es ergibt sich so eine hoch plane Bedeckung der Gateelektrodenbahnstruktur 2 auf der Siliciumscheibe 1. Ein Querschnitt durch die Siliciumscheibe 1 nach diesem Prozessschritt ist in Fig. 1E dargestellt.

-Alternativ zu der dargestellten Prozessfolge mit zwei Polysiliciumsschichten 4, 5 zum Ausbilden einer planen die Gateelektrodenbahnstruktur bedeckenden Polysiliciumsschicht besteht auch die Möglichkeit, nur eine einzige Polysilicium-

- 5 Abscheidung vorzunehmen und statt eines chemisch-mechanischen Poliervorganges nach der Stop-Polishing-Methode ein Blind-Polishing-Prozess der Polysiliciumsschicht 4 vorzusehen, bei dem der chemisch-mechanische Poliervorgang in der Polysiliciumsschicht 4 selber in einer vorgegebenen Dicke über den Gateelektrodenbahnen 2, 20 gestoppt wird. Hierbei soll wiederum vorzugsweise eine Polysiliciumsdicke über den Gateelektrodenbahnen von 200 bis 1000 nm, vorzugsweise 300 bis 400 nm, stehen bleiben. Vorteilhaft an dieser alternativen Ausführungsform ist, dass nur ein einzelner Polysilicium-
- 10 Abscheideprozess vorgenommen werden muss, wobei sich jedoch eine Verschlechterung in der Planarität gegenüber einer Polysilicium-Aufbringung mit zwei aufeinander folgenden Abscheideprozessen ergibt.
- 15

- In einer weiteren Prozessfolge wird auf der planen Polysiliciumsschicht 5 der Bereich der Bitleitungskontakte zum Anschluss der Auswahltransistoren der Speicherzellen in der Siliciumsscheibe 1 festgelegt. Dies wird vorzugsweise mit Hilfe der Lithographietechnik ausgeführt. In einem ersten Schritt wird vorzugsweise eine ARC-Schicht 61 und anschließend eine
- 20 Lackschicht 62 aufgebracht. Die ARC-Schicht 61 sorgt für eine verbesserte Belichtung der Lackschicht 62, da die ARC-Schicht 61 Reflexion von Licht an der Grenzfläche im Wesentlichen verhindert. Weiterhin wird durch die ARC-Schicht 61 eine verbesserte Haftung des Lackmaterials 62 gewährleistet. Die
- 25 aufgebrachte Lackschicht 61 wird mit Hilfe einer Maske, die die Bereiche definiert, in denen die Kontaktöffnungen zwischen den nebeneinander liegenden Gateelektrodenbahnen 2 ausgebildet werden sollen, belichtet. Anschließend wird die Lackschicht 62 entwickelt, wobei die belichteten
- 30 Lackstrukturen abgelöst werden. Es ergibt sich dann ein Querschnitt durch die Siliciumsscheibe 1, wie er in Fig. 1F gezeigt ist, bei dem auf der Polysiliciumsschicht 5
- 35

auf der Polysiliciumschicht 5 Lackstöpsel 6 über den Kontaktöffnungen für den Bitleitungskontakt zwischen den nebeneinander liegenden Gateelektrodenbahnen verbleiben. Durch diese Vorgehensweise ist es möglich, auch kleinste Lackstöpsel von einem Durchmesser unter 150 nm zu erzeugen, ohne dass die Lackstöpsel aufgrund mangelhafter Haftung umfallen.

Alternativ zur Verwendung von Lackstöpsel 6 können auch Hartmaskenblöcke über den Kontaktöffnungsbereichen ausgebildet werden. Zum Ausbilden der Hartmaskenblöcke wird auf die plane Polysiliciumschicht 5 eine Hartmaskenschicht aufgebracht, die dann mithilfe eines Lithographieprozesses strukturiert wird. Hierzu wird eine Lackschicht aufgebracht, die mit Hilfe einer Maske, die die Bereiche definiert, in denen die Kontaktöffnungen zwischen den nebeneinander liegenden Gateelektrodenbahnen 2 ausgebildet werden sollen, belichtet wird. Anschließend wird die Lackschicht entwickelt, wobei die belichteten Lackstrukturen außerhalb der Kontaktöffnungsbereiche abgelöst werden. Dann wird mithilfe einer selektiven Ätzung die Hartmaskenschicht an den freigelegten Oberflächenbereichen abgeätzt und anschließend die restliche Lackschicht entfernt, so dass Materialstöpsel ähnlich den Lackstöpsel 6 in Fig. 1 F zurückbleiben.

Unter Verwendung der Lackstöpsel 6 bzw. der alternativ hergestellten Hartmaskenstöpsel als Maske wird in einem nächsten Prozessschritt dann eine anisotrope Polysiliciumätzung durchgeführt, bei dem die Polysiliciumschichten 4, 5 außerhalb der durch die Lackstöpsel 6 verdeckten Bereiche komplett entfernt werden. Diese anisotrope Polysiliciumätzung zum Erzeugen von Blöcken 6 im Bereich der vorgesehenen Kontaktöffnungen für die Bitleitungskontakte, bestehend aus Polysiliciumblöcken mit Lackabdeckung, ist hoch selektiv zu Siliciumdioxid bzw. Siliciumnitrid, so dass die Siliciumdioxidschicht 3 auf der Siliciumscheibe 1 bzw. die freiliegenden Nitriddeckschichten 22 der Gateelektrodenbahnen 2, 20 nicht angegriffen werden.

Ein Querschnitt durch die Siliciumscheibe 1 nach dem anisotropen Polysiliciumätzen ist in Fig. 1H gezeigt.

Anschließend wird durch eine Lackätzung die verbleibenden Lackstöpselschicht 61 entfernt. Dann wird anisotrop die freigelegte Siliciumdioxidschicht 3 auf der Siliciumscheibe 1 entfernt, wodurch die Oberfläche der Siliciumscheibe 1 freigelegt ist. Die Siliciumdioxidschicht 3 im Bereich der Seitenwände der Gateelektrodenbahnen 2, 20 bleibt jedoch stehen. Ein Querschnitt durch die Siliciumscheibe 1 nach dem zuletzt erläuterten Prozessschritt ist in Fig. 1H dargestellt.

Durch die freigelegten Oberflächen der Siliciumscheibe 1 werden dann mit Hilfe von Standardprozesse zum Ausbilden von DRAM-Bauelementen die gewünschte Dotierungen in der Siliciumoberfläche, insbesondere auch für die Auswahltransistoren der Speicherzellen vorgenommen. Nach Ausbildung der dotierten Gebiete in der Siliciumoberfläche wird in einem nächsten Prozessschritt eine Linerschicht 7 als Diffusionsbarriere, vorzugsweise eine Siliciumnitridschicht, aufgetragen. Auf dieser Siliciumnitridschicht 7 wird dann eine glasartige Schicht, vorzugsweise eine BPSG-Schicht 8 abgeschieden, die zur Verdichtung und Planarisierung einem Heizschritt ausgesetzt wird. Ein Querschnitt durch die Siliciumscheibe 1 nach dem Temperatur-Reflow der BPSG-Schicht 8 ist in Fig. 1I gezeigt.

Anschließend wird dann eine Planarisierung der BPSG-Schicht 8 mit Hilfe eines chemisch-mechanischen Poliervorgangs vorgenommen. Der chemisch-mechanische Poliervorgang ist dabei vorzugsweise so ausgelegt, dass er über eine Endpunktbestimmung gestoppt wird. Als Endpunktbestimmung kann dabei ein Ammoniaksignal genutzt werden, das entsteht, wenn beim chemisch-mechanischen Poliervorgang die Siliciumnitrid-Linerschicht 7 auf den Polysiliciumstöpseln 4, 5 abpoliert wird. Ein Querschnitt durch die Siliciumscheibe 1 nach Planarisieren der BPSG-Schicht ist in Fig. 1I gezeigt. Die BPSG-Schicht bildet dann eine hoch plane Oberfläche, wobei die Oberfläche der Po-

lysiliciumblocke 4, 5, die über den Kontaktöffnungen für die Bitleitungskontakte zu den Auswahltransistoren der Speicherzellen angeordnet sind, freigelegt ist.

In einer weiteren Prozessfolge wird die Oberfläche der Siliciumscheibe 1 im Bereich der Kontaktöffnungen für den Bitleitungskontakte geöffnet. Hierzu wird in einem ersten Schritt mit einer Ätzung das Polysilicium 4, 5 aus der Kontaktöffnung komplett entfernt. Diese Polysiliciumätzung kann hoch selektiv durchgeführt werden, da es nicht erforderlich ist, eine Strukturierung der Polysiliciumschicht vorzunehmen, sondern Zielsetzung nur ist, das Polysilicium komplett zu entfernen. Der Polysilicium-Ätzprozess muss deshalb auch keine Sputter-Komponenten enthalten. Die Polysiliciumätzung wird dabei vorzugsweise als Trockenätzung durchgeführt. Ein Querschnitt durch die Siliciumscheibe 1 nach dem Entfernen der Polysiliciumblocke aus den Kontaktöffnungen ist in Fig. 1L im Querschnitt dargestellt.

Anschließend wird dann mit Hilfe eines weiteren Ätzschrittes die Siliciumdioxidschicht 3 am Boden der freigelegten Kontaktöffnungen entfernt, wie in Fig. 1M gezeigt ist. Für dieses Freiätzen der Siliciumscheibenoberfläche wird vorzugsweise ein hoch selektiver Siliciumdioxid-Ätzprozess, der sich durch ein besonders gutes Ätzverhalten von Siliciumdioxid im Bereich tiefer Kontaktöffnungen auszeichnet, eingesetzt. Ein solcher Siliciumdioxid-Ätzprozess mit hoher Ätzrate im Bereich hoher Aspektverhältnisse gewährleistet, dass insbesondere die BPSG-Schicht 8 beim Ätzen nicht angegriffen wird. Darüber hinaus bleiben die Siliciumdioxid-Spacer an den Seitenwänden der Gateelektrodenbahnen 2 im Bereich der Kontaktöffnungen stehen. Alternativ zu einem solchen Siliciumdioxid-Ätzprozess mit hoher Selektivität im Kontaktlochbereich besteht auch die Möglichkeit, einen Standard-Siliciumdioxid-Ätzprozess einzusetzen, der dann auch die BPSG-Deckschicht 8 angreift. Die Dicke der BPSG-Deckschicht muss dann so ausgelegt sein, dass sie ausreicht, um einen entsprechenden Ätzabtrag zu ermöglichen, ohne dass

trag zu ermöglichen, ohne dass die darunter liegenden Gateelektrodenbahnen 2 freigelegt werden.

Anschließend werden mit einer weiteren Prozessfolge, die aus dem Standard-DRAM-Herstellungsprozess bekannt ist, die Bauelemente im Bereich der Logik ankontaktiert. Die Kontakte zu den Logikbauelementen im Peripheriebereich des DRAMs werden mit Hilfe der herkömmlichen Kontaktlochlithographie ausgebildet. In Fig. 1M ist exemplarisch ein Substratkontakt 10 gezeigt. Zusätzlich werden auch Verbindungen zu den Gateelektrodenbahnen 20 im Bereich der Logik erzeugt (nicht gezeigt).

Zum Ausbilden der Kontakte zu den Bauelementen in der Siliziumscheibe 1 wird dann eine Verfüllung der aller Kontaktöffnungen mit einem leitenden Material, z.B. einem Metall wie Wolfram, vorgenommen. Hierbei können alle bekannten Metallabscheidungsverfahren eingesetzt werden. Bei einer Wolframverfüllung besteht z.B. die Möglichkeit, zuerst einen Wolfram-Liner einzusetzen und dann eine großflächige Verfüllung vorzunehmen, wobei die Metallschicht dann wieder bis zur Oberfläche der BPSG-Schicht 8 abgetragen wird, so dass sich ein Querschnitt durch die Siliziumscheibe 1 ergibt, wie der in Fig. 1N gezeigt ist, bei der die Kontaktöffnungen 9, 10 mit einem leitenden Metallblock gefüllt sind. Abschließend wird dann in einer weiteren Prozessfolge zur Ausbildung der ersten Metalisierungsebene M0 eine weitere großflächige Abscheidung eines leitenden Materials, insbesondere eines Metalls wie Wolfram oder Aluminium, vorgenommen. Diese Metallebene wird dann mit Hilfe der Fotolithografie strukturiert, um die Verdrahtung der Bitleitungskontakte 9 in der ersten Verdrahtungsebene 11 auszubilden. Zwischen den einzelnen Leiterbahnen 10 ist vorzugsweise eine Siliciumdioxidschicht 12 zur Isolierung der Leiterbahnen vorgesehen. Ein Querschnitt durch die Siliziumscheibe 1 nach dem letzt genannten Schritt ist in Fig. 10 gezeigt. Im Rahmen der Ausbildung des DRAM-Prozesses werden

dann weitere Metallisierungsebenen zur Verdrahtung der einzelnen Bauelemente vorgenommen.

Mit der dargestellten Prozessfolge ist es möglich, bei der Bitleitungskontakterzeugung im Zellenfeld eines DRAMs drei wesentliche Vorteile gegenüber dem herkömmlichen Verfahren, wie sie in den Figuren 3A bis 3D im Querschnitt am Beispiel einer Siliciumscheibe 1 dargestellt ist, zu erzielen. Statt dem Siliciumnitrid-Liner 300 als Spacer und Abstandshalter zwischen den Gateelektrodenbahnen 2, wie er im Standardprozess eingesetzt und in Fig. 3B gezeigt ist, wird ein Siliciumdioxid-Spacer 3 eingesetzt. Dieser Siliciumdioxid-Spacer 3 zeichnet sich gegenüber dem Siliciumnitrid-Spacer 300 durch eine geringere Dielektrizitätskonstante und damit eine verminderte Kopplung zwischen dem leitenden Füllmaterial der Bitleitungskontakte und den benachbarten Gateelektrodenbahnen aus. Diese verminderte elektrische Kopplung zwischen den Bitleitungskontakten und den Gateelektrodenbahnen sorgt dafür, dass die elektrischen Eigenschaften des DRAMs nicht beeinträchtigt werden. Dies ist insbesondere im Hinblick auf die fortschreitende Miniaturisierung der lateralen DRAM-Dimensionen im Zuge höherer Speicherzellenintegration von wesentlichem Vorteil.

Darüber hinaus wird durch den Einsatz einer einzelnen Siliciumdioxidschicht 3 als Spacer zwischen den benachbarten Gateelektrodenbahnen 2 im Bereich des Bitleitungskontaktes gegenüber dem herkömmlich eingesetzten Siliciumnitrid-Liner 300 eine Einschränkung der Kontaktlochbreite, die zu einem höheren Aspektverhältnis und damit zu größeren Schwierigkeiten bei den in der Kontaktöffnungen auszuführenden Prozessen sorgt, weitgehend vermieden. Der Einsatz einer Polysiliciumschicht 4, 5 zum Ausbilden von Polysiliciumblöcken in den vorgesehenen Kontaktöffnungen, die dann zum Verfüllen der Kontaktöffnungen wieder entfernt werden, ermöglicht es, hoch selektive Ätzprozesse, die insbesondere eine Beschädigung der Gateelektrodenbahnen 2 vermeiden, einzusetzen. Durch die Aus-

bildung von Polysiliciumblöcke 4, 5, die von einer BPSG-Schicht 8 mit Siliciumnitrid-Liner 7 eingefasst ist, besteht die Möglichkeit, Ätzprozesse zu verwenden, die unstrukturiert Polysilicium ätzen. Hierdurch kann auf den Einsatz von Sputter-Komponenten beim Ätzprozess, die zu einer Beschädigung der offen liegenden Bereiche der Gateelektrodenbahnen 2 führen können, vermieden werden.

10 In den Figuren 2A bis 2D ist eine alternative Ausführungsform zur Herstellung der Polysiliciumblöcke in den Kontaktöffnungs-bereichen dargestellt. Diese alternative Vorgehensweise gewährleistet eine besonders zuverlässige Ausbildung der Polysiliciumstüpsel zum Schutz der Kontaktöffnungen.

15 Zum Ausbilden der Polysiliciumblöcke zum Schutz der Kontaktöffnungen setzt das Verfahren in einem Prozessstadium ein, wie es in Fig. 1C in Zusammenhang mit der ersten Ausführungsform dargestellt ist. Auf der Siliciumscheibe 1 sind die vorstrukturierten Gateelektrodenbahnen 2 mit einer Siliciumdioxidschicht 3 versehen und mit einer Polysiliciumschicht 40 ausgefüllt, wobei die Polysiliciumschicht 40 die Gateelektrodenbahnen 2 komplett abdeckt, jedoch abgeschwächt die Topologie der Gateelektrodenbahnen an der Oberfläche zeigt. Ein Querschnitt durch die Siliciumscheibe 1 nach diesem Prozess ist in Fig. 2A dargestellt.

25 Dann wird in einem ersten Prozessschritt eine glasartige Schicht 50, vorzugsweise eine BPSG-Schicht auf der Polysiliciumschicht 40 aufgebracht und vorzugsweise mit Hilfe eines chemisch-mechanischen Blind-Polishing-Vorgangs eingeebnet. Ein Querschnitt durch die Siliciumscheibe 1 nach diesem Prozessschritt ist in Fig. 2B gezeigt.

30 Anschließend wird eine Lackschicht 60 aufgebracht und mit einer Lochmaske, die die Kontaktöffnungen für die Bitleitungskontakte zwischen den nebeneinander liegenden Gateelektrodenbahnen 2 festlegt, belichtet. Die Lackschicht 60 wird dann

entwickelt, wobei die belichteten Bereiche der Lackschicht entfernt und die BPSG-Schichtoberfläche 50 im Bereich der Kontaktöffnungen freigelegt wird. Ein Querschnitt durch die Siliciumscheibe 1 nach diesem Prozessschritt ist in Fig. 2C dargestellt.

Die strukturierte Lackmaske 60 wird dann als Ätzmaske für eine anisotrope Ätzung der BPSG-Schicht 50 eingesetzt, wobei die Struktur der Kontaktöffnungen in der Lackschicht 60 auf die BPSG-Schicht 50 übertragen wird. Ein Querschnitt durch die Siliciumscheibe 1 nach diesem anisotropen Ätzen der BPSG-Schicht 50 zum Freilegen der darunter liegenden Polysilicio-
oberfläche 40 im Bereich der vorgesehenen Kontaktöffnungen ist in Fig. 2D gezeigt.

Anschließend wird eine Kontaktlochfüllung mit einem zweiten Maskenmaterial, z.B. einem organischen ARC-Material, vorgenommen. Hierbei wird vorzugsweise eine großflächige Füllmaterialabscheidung durchgeführt. Ein Querschnitt durch die Siliciumscheibe nach der großflächiger Abscheidung der ARC-Schicht 51 ist in Fig. 2E dargestellt.

Die ARC-Schicht 51 wird dann wieder von der Oberfläche der BPSG-Schicht 50 entfernt, wobei die Rückätzung so vorgenommen wird, dass eine Überätzung stattfindet und die ARC-Schicht 51 auch aus einem oberen Bereich der Kontaktöffnungen entfernt wird. Ein Querschnitt durch die Siliciumscheibe 1 nach dieser ARC-Materialrückätzung ist in Fig. 2F gezeigt.

Abschließend wird dann in einem weiteren Ätzschritt die BPSG-Schicht 50 komplett entfernt, so dass sich ein ARC-Materialblock 51 im Bereich der vorgesehenen Kontaktöffnungen für die Bitleitungskontakte zwischen den nebeneinander liegenden Gateelektrodenbahnen 2 ergibt, wie er im Querschnitt in Fig. 2G gezeigt ist.

Die Struktur des ARC-Materialstöpsel kann dann mit einer weiteren Ätzung auf die darunter liegende Polysiliciumschicht 4 übertragen werden, so dass nur der ARC-Materialstöpsel mit dem darunter liegenden Polysiliciumbereich stehen bleibt und sich dann eine Struktur ergibt, wie sie bei der ersten Ausführungsform in dem Fig. 1D gezeigten Prozessstadium auftritt. Anschließend kann dann gegebenenfalls das verbleibende ARC-Material wieder entfernt werden und mit der Prozessfolge zum Ausbilden der Bitleitungskontakte und der ersten Metallisierungsebene fortgefahren werden, wie sie in den Figuren 1A bis 10 dargestellt ist.

Mit der dargestellten Variante zum Ausbilden der die Kontaktöffnungen schützenden Polysiliciumstöpsel besteht die Möglichkeit, insbesondere auf zusätzliche aufwändige Poliertechniken zum Herstellen glatter Oberflächen auf der Polysiliciumschicht, die für eine Lackstrukturierung mit Lackstöpseln notwendig sind, zu verzichten. Der dargestellte Lithografieprozess bietet darüber hinaus durch den Einsatz der weiteren Hartmaskenschicht aus einem glasartigen Material auf den nicht planen Untergrund, der durch die Polysiliciumschicht 40 gebildet wird, den Vorteil, dass Stufen in dieser Polysiliciumschicht 40 zur Maskenausrichtung bei der Kontaktlochlitografie auf einfache Weise genützt werden können. Durch Verwendung der BPSG-Schicht 50 ist es weiterhin möglich, die Stöpselhöhe über den Kontaktöffnungen genau einzustellen und insbesondere als Stöpselmaterial ein Material wie ARC mit hoher Ätzresistenz für die Polysiliciumätzung einzusetzen, wodurch eine exakte Übertragung der Stöpselstruktur auf die Polysiliciumschicht 40 möglich ist.

Bei den bisher beschriebenen Ausführungsformen ist als Material für die Opferschicht zum Festlegen der Kontaktlochöffnungen immer Polysilicium eingesetzt worden. Polysilicium zeichnet sich durch eine besonders hohe Selektivität bei der Kontaktloch-Freiätzung insbesondere zur umgebenen glasartigen Schicht, sowie zu den umgebenen Gateelektrodenbahnen aus. Für

die Polysiliciumätzung kann nämlich eine vorzugsweise auf einem Halogen basierende isotrope Ätzung unter Verzicht auf nahezu ohne jeden Sputteranteil, d. h. ohne Ionen-Bombardement eingesetzt werden. Hierdurch wird gewährleistet, dass sich

5 das Polysilicium vollständig, ohne Beschädigung insbesondere der Gateelektrodenbahnen herausätzen lässt.

Alternativ zu einer aus Polysilicium bestehenden Opferschicht besteht jedoch auch die Möglichkeit, ein anderes Opfer-

10 schichtsmaterial einzusetzen. Als Opferschichtsmaterial eignet sich hierbei insbesondere auch eine kohlenstoffbasierte Schicht. Kohlenstoff lässt sich auf einfache Weise im Rahmen eines herkömmlichen Trockenätzverfahrens mit Sauerstoff entfernen und zeichnet sich durch eine hohe Selektivität zu anderen Materialien aus. Abhängig vom Abscheideprozess lässt

15 sich die kohlenstoffbasierte Schicht auf einfache Weise und damit kostengünstig mit einer hohen Planarität aufbringen, wobei in der Regel kein zusätzlicher Planarisierungsschritt erforderlich ist.

Figur 3A bis 3D zeigt eine mögliche Ausführungsform, bei der

20 wiederum von einem Verfahrensstadium ausgegangen wird, wie es im Querschnitt in Figur 1B gezeigt ist, wobei auf der vorstrukturierten Siliziumscheibe 1 die Gateelektrodenbahnen 2, 20 in einem ersten Prozessschritt aufgebracht wurden, auf die dann großflächig in einem zweiten Prozessschritt die Siliziumdioxidschicht 3 abgeschieden ist. Ausgehend von diesem Prozess-

25 stadium wird dann in einem weiteren Prozessschritt, vorzugsweise eine Kohlenstoffschicht 140 abgeschieden. Die Schichtdicke der Kohlenstoffschicht 140 entspricht dabei vorzugsweise wenigstens ein bis dreimal der Höhe der Gatee-

30 lektrodenbahnen 2, 20. Figur 3A zeigt einen Querschnitt durch die Siliziumscheibe nach diesem Prozessschritt.

Bei der in Figur 3A gezeigten Darstellung ist auf der Oberfläche der Kohlenstoffschicht 140 die Topologie der darunter liegenden Gateelektrodenbahnen 2, 20 auf der Siliziumscheibe

1 zu erkennen. Es besteht jedoch auch die Möglichkeit, den Abscheideprozess der kohlenstoffhaltigen Schicht so zu steuern, dass eine im Wesentlichen plane Kohlenstoffschichtoberfläche erzeugt wird. In diesem Falle ist dann der in Figur 3B gezeigte weitere Prozessschritt, bei dem die Oberfläche der Kohlenstoffschicht 140 planarisiert wird, entbehrlich.

Auf der planaren Kohlenstoffsichtoberfläche wird anschließend, wie in Figur 3C gezeigt, zusätzlich eine dünne Hartmaskenschicht 141 aus Siliciumoxid, Siliciumnitrid oder Siliciumoxinitrid abgeschieden. Auf der Hartmaskenschicht 141 werden dann wiederum mit Hilfe der Lithographietechnik, wie sie bereits bei der in Figur 1 gezeigten Prozessfolge anhand Figur 1F dargestellt ist, die Bereiche der Bitleitungskontakte zum Anschluss der Auswahltransistoren der Speicherzellen in der Siliziumscheibe 1 festgelegt. Hierzu wird eine Lack-
schicht 160 so strukturiert, dass die in Figur 3C gezeigten Lackstöpsel über den Kontaktöffnungen für die Bitleitungskontakte zwischen den nebeneinander liegenden Gateelektrodenbahnen 2, 20 verbleiben.

In einem nächsten Prozessschritt wird dann die Hartmaskenschicht 141 vorstrukturiert und in einem weiteren Prozessschritt die Vorstrukturierung durch eine zur Hartmaskenschicht selektive Ätzung in die Kohlenstoffschicht übertragen. Hierbei können höhere Ätzraten als bei Polysilicium erzielt werden. Es ergibt sich dann ein Querschnitt der Siliziumscheibe vorliegt, wie er in Figur 3D dargestellt ist, bei der Kohlenstoffstöpsel hoch präzise und genau die Kontaktöffnungen zwischen den Gateelektrodenbahnen verdecken.

Anschließend kann dann die in Figur 1H bis 10 gezeigten Prozessfolge durchgeführt werden, wobei die Freiätzung der verbleibenden Kohlenstoffschichtstöpsel zwischen den Gateelektrodenbahnen durch eine einfache Trockenätzung mit Sauerstoff hoch selektiv gegenüber der umgebenen glasartigen Schicht erfolgt. Alternativ zu der in Figur 3A bis 3D gezeig-

ten Prozessfolge besteht auch die Möglichkeit, die Kohlenstoffsichtstöpsel entsprechend der in Figur 1 bzw. 2 gezeigten Prozessfolgen auszubilden.

Patentansprüche

1. Verfahren zum Herstellen einer ersten Kontaktlochebene in einem Speicherbaustein mit einer Anordnung von Speicherzellen, die jeweils einen Auswahltransistor aufweisen, umfassend die Verfahrensschritten:

A) Bereitstellen eines Halbleitersubstrats mit einer Anordnung von nebeneinander liegenden Gateelektrodenbahnen auf der Halbleiteroberfläche;

B) Erzeugen einer Isolatorschicht auf der Halbleiteroberfläche;

C) Ausbilden einer Opferschicht auf der Isolatorschicht, wobei die Bereiche zwischen den nebeneinander liegenden Gateelektrodenbahnen im Wesentlichen aufgefüllt und die Gateelektrodenbahnen überdeckt sind;

D) Ausbilden von Materialstüpseln auf der Opferschicht zum Festlegen von Kontaktöffnungen zwischen den nebeneinander liegenden Gateelektrodenbahnen;

E) anisotropes Ätzen der Opferschicht, wobei die Materialstüpsel mit den darunter liegenden Opferschichtblöcken stehen bleiben;

F) Erzeugen einer glasartigen Schicht unter Freilegen der Opferschichtblöcke über den Kontaktöffnungen zwischen den nebeneinander liegenden Gateelektrodenbahnen, wobei die Bereiche zwischen den nebeneinander liegenden Gateelektrodenbahnen im Wesentlichen aufgefüllt sind und eine im Wesentlichen ebene Oberfläche ausgebildet ist;

G) Ätzen von Opferschichtmaterial aus der glasartigen Schicht zum Entfernen der Opferschichtblöcke über den Kontaktöffnungen zwischen den nebeneinander liegenden Gateelektrodenbahnen;

H) Entfernen der freigelegten Isolatorschicht über den Kontaktöffnungen auf der Halbleiteroberfläche zwischen den nebeneinander liegenden Gateelektrodenbahnen; und

I) Auffüllen der Kontaktöffnungsbereiche mit einem leitfähigen Material, wobei eine im Wesentlichen ebene Oberfläche mit der umgebenden glasartigen Schicht ausgebildet ist.

2. Verfahren nach Anspruch 1, wobei der Verfahrensschritt F) folgende Verfahrensschritte umfasst:

F1) Entfernen der Materialstöpsel;

5 F2) Entfernen der freigelegten Isolatorschicht auf der Halbleiteroberfläche zwischen den nebeneinander liegenden Gateelektrodenbahnen;

10 F3) Erzeugen von Dotierungen in vorbestimmten Bereichen der freigelegten Halbleiteroberfläche zwischen den nebeneinander liegenden Gateelektrodenbahnen zum Ausbilden der Auswahltransistoren;

F4) Erzeugen einer vorzugsweise aus Siliciumnitrid bestehenden Linerschicht;

15 F5) Ausbilden der glasartigen Schicht auf der Linerschicht, wobei die Bereiche zwischen den nebeneinander liegenden Gateelektrodenbahnen im Wesentlichen aufgefüllt sind; und
F6) Planarisieren der glasartigen Schicht unter Freilegen der Opferschichtblöcke über den Kontaktöffnungen zwischen den nebeneinander liegenden Gateelektrodenbahnen, wobei die im Wesentlichen ebene Oberfläche ausgebildet wird.

20 3. Verfahren nach Anspruch 2, wobei die Linerschicht eine stickstoffhaltige Schicht, vorzugsweise Siliciumnitrid-Schicht oder eine Siliciumoxidnitrid-Schicht ist.

25 4. Verfahren nach Anspruch 2 oder 3, wobei das Planarisieren im Verfahrensschritt F6) durch chemisch-mechanisches Polieren erfolgt und der Endpunkt des Poliervorgangs auf das Feststellen eines Materialabtrags der Linerschicht festgelegt ist.

5. Verfahren nach einem der Ansprüche 1 bis 4, wobei die im Verfahrensschritt F) ausgebildete glasartigen Schicht eine BPSG-Schicht ist.

30 6. Verfahren nach einem der Ansprüche 1 bis 5, wobei der Verfahrensschritt C) folgende Verfahrensschritte umfasst:

C1) Abscheiden einer ersten Opferschicht auf der Isolatorschicht, wobei die Bereiche zwischen den nebeneinander lie-

genden Gateelektrodenbahnen im Wesentlichen aufgefüllt und die Gateelektrodenbahnen überdeckt sind;

- 5 C2) Planarisieren der ersten Opferschicht unter Freilegen der Gateelektrodenbahnen, wobei eine im Wesentlichen ebene Oberfläche ausgebildet ist; und
- C3) Abscheiden einer zweiten Opferschicht.

7. Verfahren nach Anspruch 6, wobei die zweite Opferschicht eine Schichtdicke von 200nm bis 1000nm besitzt.

- 10 8. Verfahren nach einem der Ansprüche 1 bis 5, wobei der Verfahrensschritt C) folgende Verfahrensschritte umfasst:

C1') Abscheiden der Opferschicht auf der Isolatorschicht, wobei die Bereiche zwischen den nebeneinander liegenden Gateelektrodenbahnen aufgefüllt und die Gateelektrodenbahnen überdeckt sind; und

- 15 C2') Planarisieren der Opferschicht, wobei die Gateelektrodenbahnen überdeckt bleiben und eine im Wesentlichen ebene Oberfläche ausgebildet ist.

- 20 9. Verfahren nach Anspruch 8, wobei die Opferschicht eine Schichtdicke von 200nm bis 1000nm über den Gateelektrodenbahnen besitzt.

10. Verfahren nach einem der Ansprüche 1 bis 9, wobei die Isolatorschicht eine Siliciumdioxidschicht ist.

11. Verfahren nach einem der Ansprüche 1 bis 10, wobei der Verfahrensschritt D) folgende Verfahrensschritte umfasst:

- 25 D1) Abscheiden einer Lackschicht;
- D2) Belichten der Lackschicht über eine Maske, die die Kontaktöffnungen zwischen den nebeneinander liegenden Gateelektrodenbahnen festlegt; und
- 30 D3) Entwickeln der Lackschicht, um die belichteten Bereiche der Lackschicht zu entfernen und die Materialstöpsel aus Lackmaterial auf der Opferschicht zum Festlegen von Kontakt-

öffnungen zwischen den nebeneinander liegenden Gateelektrodenbahnen auszubilden.

12. Verfahren nach Anspruch 11, wobei vor der Lackschicht eine ARC-Schicht auf der Opferschicht aufgebracht wird.

5 13. Verfahren nach einem der Ansprüche 1 bis 10, wobei der Verfahrensschritt D) folgende Verfahrensschritte umfasst:

D1') Abscheiden einer Hartmaskenschicht auf der Opferschicht;

D2') Abscheiden einer Lackschicht auf der Hartmaskenschicht;

D3') Belichten der Lackschicht über eine Maske, die die Kon-

10 taktöffnungen zwischen den nebeneinander liegenden Gateelektrodenbahnen festlegt;

D4') Entwickeln der Lackschicht, um die belichteten Bereiche der Lackschicht außerhalb der Kontaktöffnungen zwischen den nebeneinander liegenden Gateelektrodenbahnen zu entfernen;

15 D5') anisotropes Ätzen der Hartmaskenschicht mit der strukturierten Lackschicht als Maske; und

D8') Entfernen der restlichen Lackschicht.

14. Verfahren nach einem der Ansprüche 1 bis 10, wobei der Verfahrensschritt D) folgende Verfahrensschritte umfasst:

20 D1'') Ausbilden einer Hartmaskenschicht auf der Opferschicht;

D2'') Planarisieren der Hartmaskenschicht;

D3'') Abscheiden einer Lackschicht auf der Hartmaskenschicht;

D4'') Belichten der Lackschicht über eine Maske, die die Kontaktöffnungen zwischen den nebeneinander liegenden Gatee-

25 lektrodenbahnen festlegt;

D5'') Entwickeln der Lackschicht, um die belichteten Bereiche der Lackschicht zu entfernen und die Hartmaskenschicht freizulegen;

D6'') anisotropes Ätzen der Hartmaskenschicht mit der strukturierten Lackschicht als Maske;

30 D7'') Entfernen der strukturierten Lackschicht;

D8'') Einbringen eines Füllmaterials in die Ätzöffnungen in der Hartmaskenschicht; und

D9'') Entfernen der Hartmaskenschicht, um die Materialstöpsel

aus dem Füllmaterial auf der Opferschicht zum Festlegen von Kontaktöffnungen zwischen den nebeneinander liegenden Gateelektrodenbahnen auszubilden.

5 15. Verfahren nach Anspruch 14, wobei die Hartmaskenschicht eine glasartige Schicht, vorzugsweise eine BPSG-Schicht, und das Füllmaterial ein organisches ARC-Material ist.

16. Verfahren nach einem der Ansprüche 1 bis 15, wobei die Opferschicht eine Polysilicumschicht ist.

10 17. Verfahren nach einem der Ansprüche 1 bis 16, wobei die Opferschicht eine Kohlenstoffschicht ist.

18. Verfahren nach Anspruch 17, wobei auf der Kohlenstoffschicht zusätzlich eine dielektrische Hartmaskenschicht vorgesehen ist.

Zusammenfassung

Verfahren zum Herstellen einer Kontaktlochebene in einem Speicherbaustein

5 Zum Herstellen einer Kontaktlochebene in einem Speicherbaustein mit einer Anordnung von Speicherzellen, die jeweils einen Auswahltransistor aufweisen, wird auf einem Halbleiter-
substrat mit einer Anordnung von nebeneinander liegenden Gateelektrodenbahnen auf der Halbleiteroberfläche, eine Isolatorschicht auf der Halbleiteroberfläche und anschließend eine
10 Opferschicht auf der Isolatorschicht ausgebildet, dann Materialstöpseln auf der Opferschicht zum Festlegen von Kontaktöffnungen zwischen den nebeneinander liegenden Gateelektrodenbahnen erzeugt, durch Ätzen der Opferschicht Materialstöpsel mit den darunter liegenden Opferschichtblöcken ausgebil-
15 det, nach dem Erzeugen der glasartigen Schicht unter Freilegen der Opferschichtblöcke über den Kontaktöffnungen zwischen den nebeneinander liegenden Gateelektrodenbahnen, wobei eine im Wesentlichen ebene Oberfläche ausgebildet ist, dann das Opferschichtmaterial aus der glasartigen Schicht herausgeätzt
20 und das freigelegte Isolatormaterial über den Kontaktöffnungen auf der Halbleiteroberfläche entfernt und abschließend die Kontaktöffnungsbereiche mit einem leitfähigen Material aufgefüllt.

Fig. 1H

Figur für die Zusammenfassung

Fig. 1H

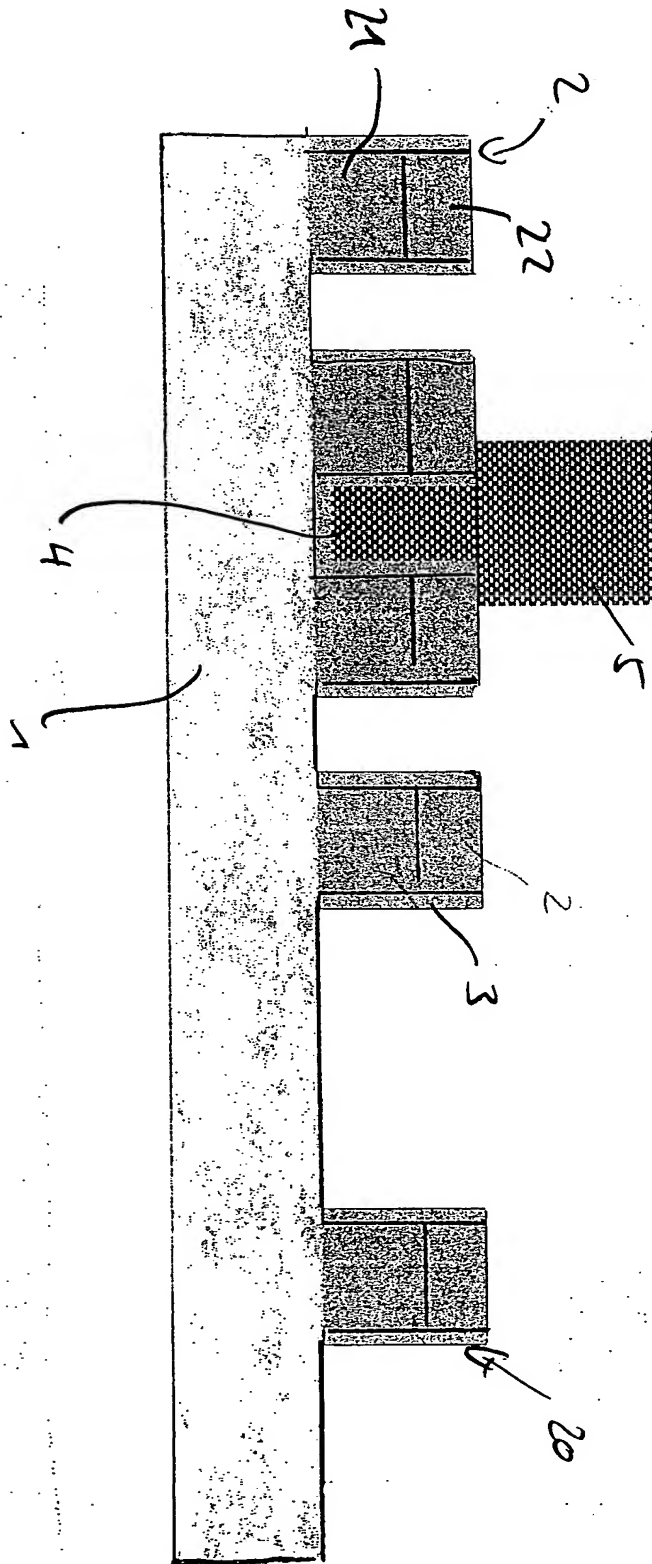


Fig. 17

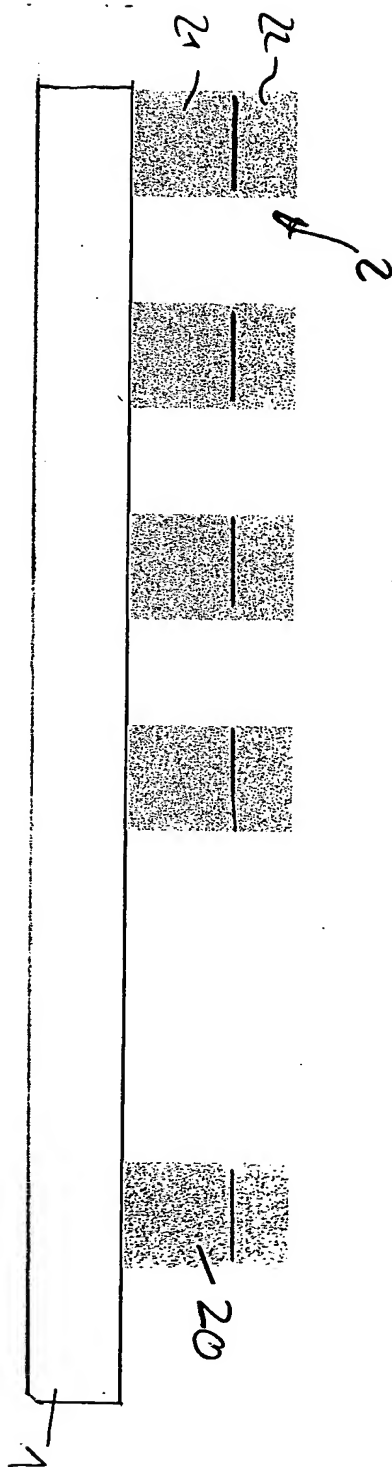


Fig. 18

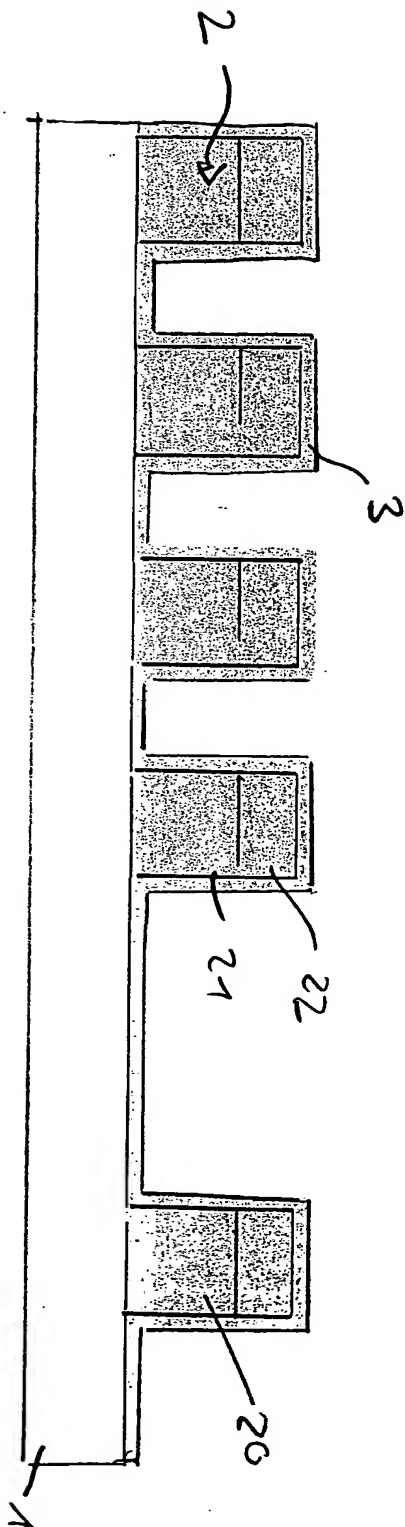


Fig. 1C

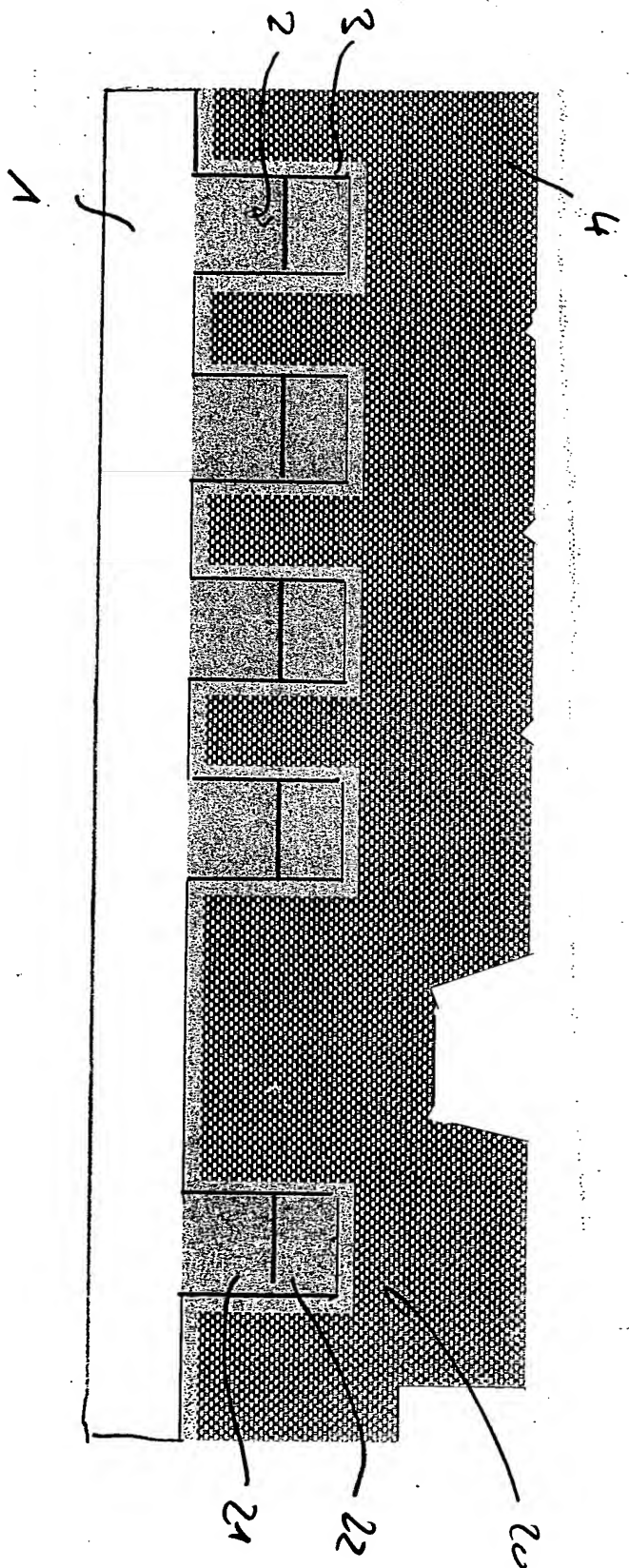


Fig. 1D

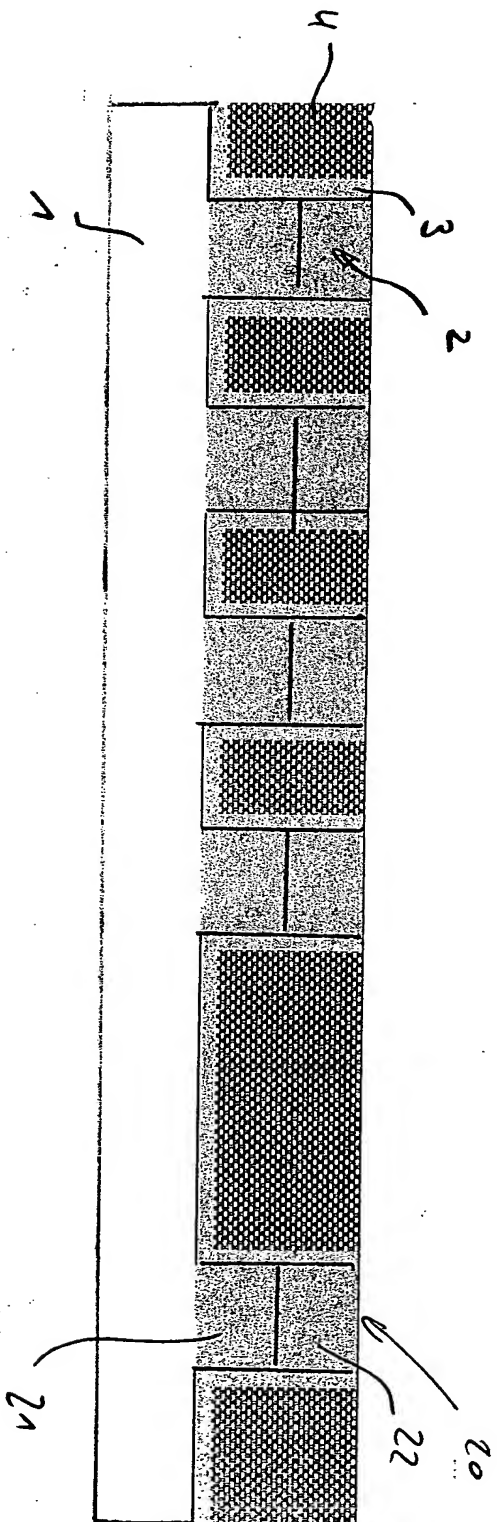
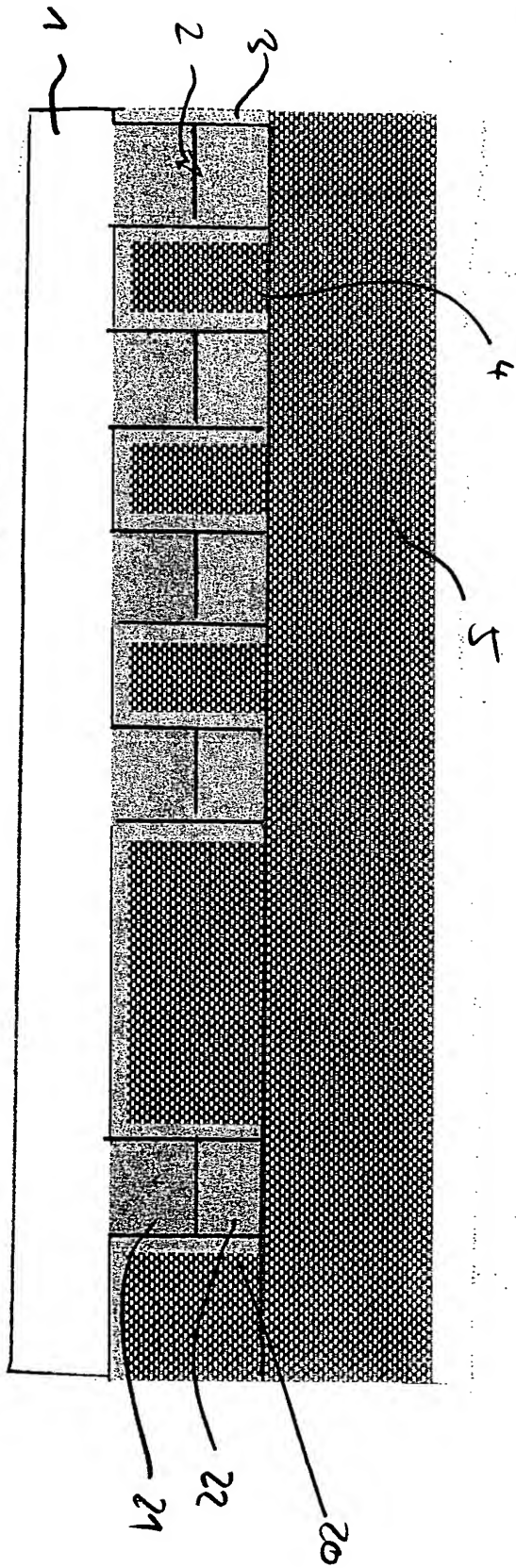
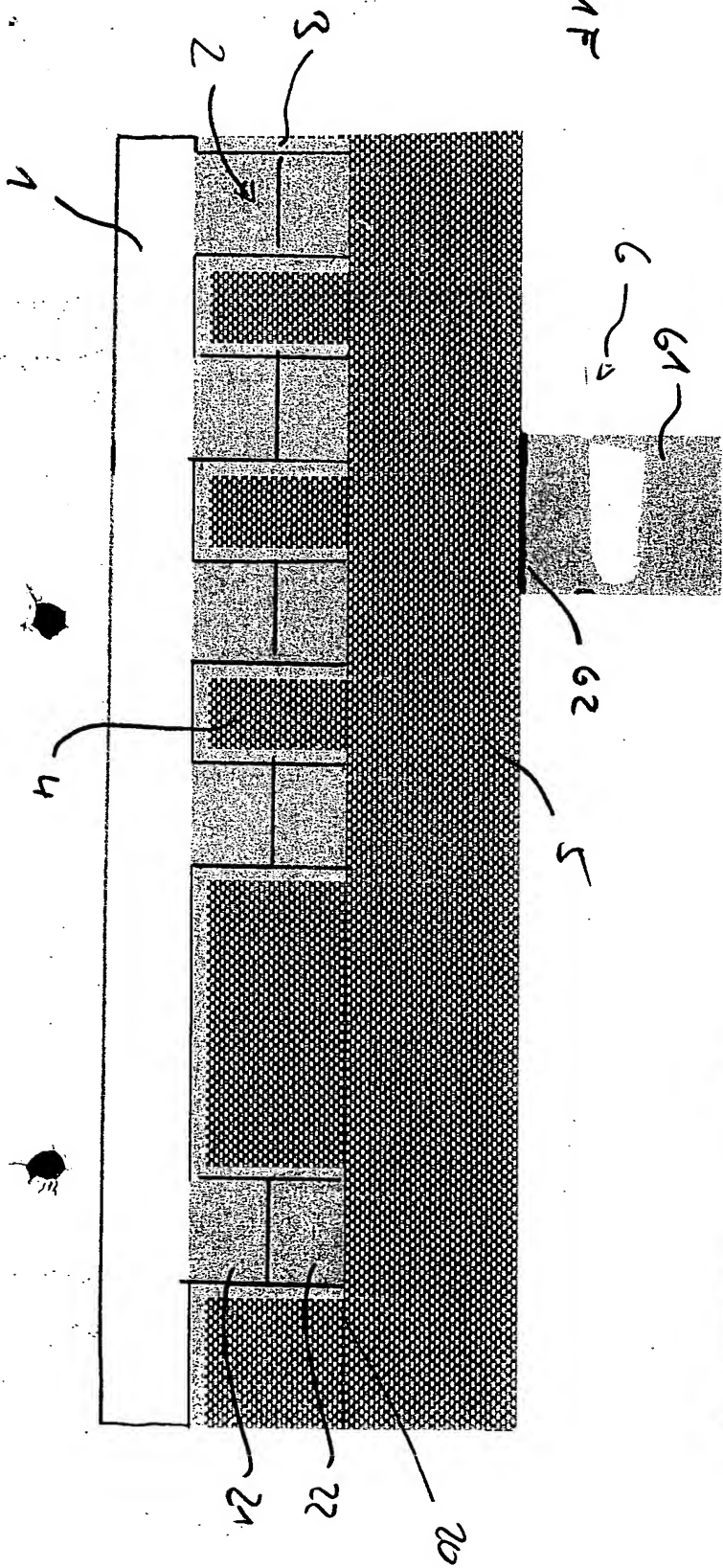


FIG. 1E



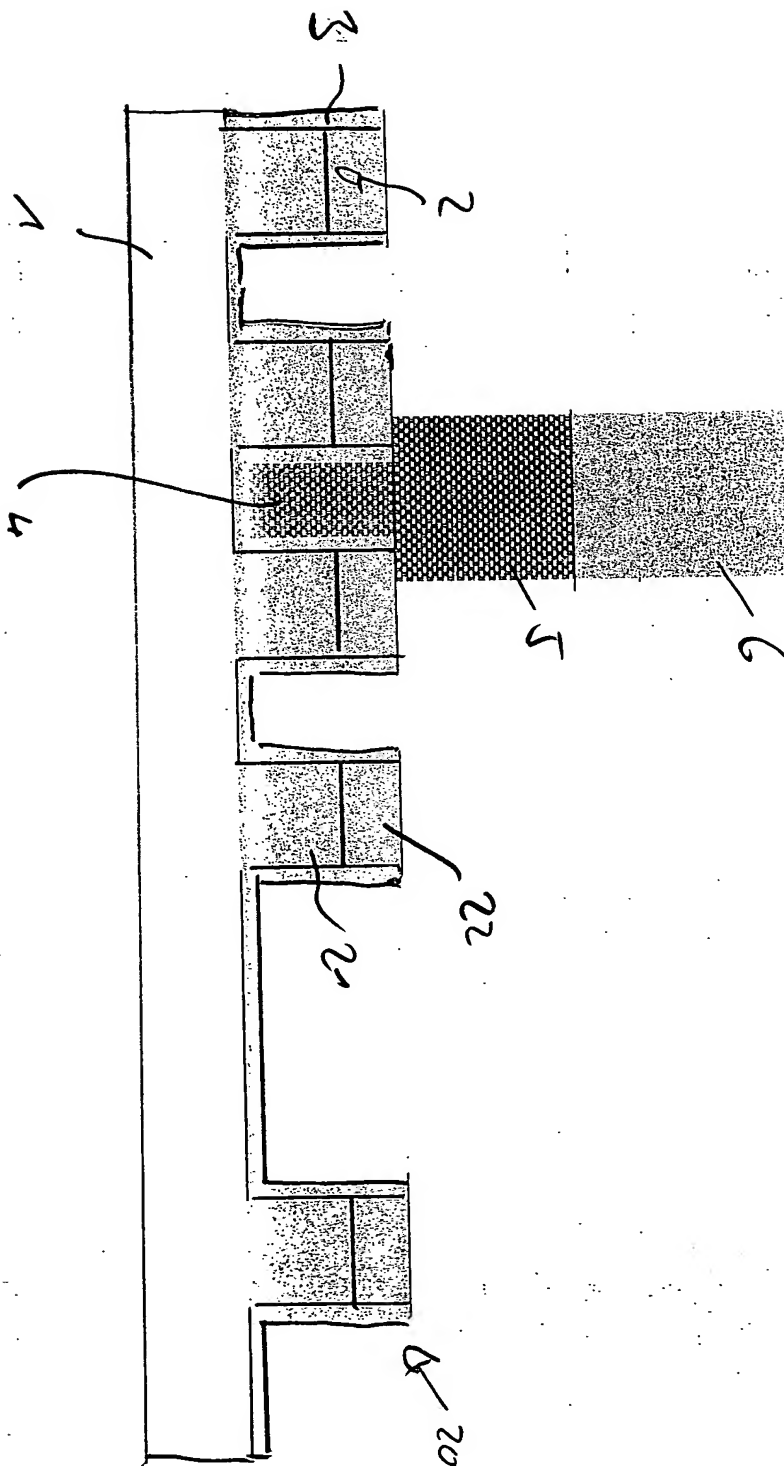
3/22

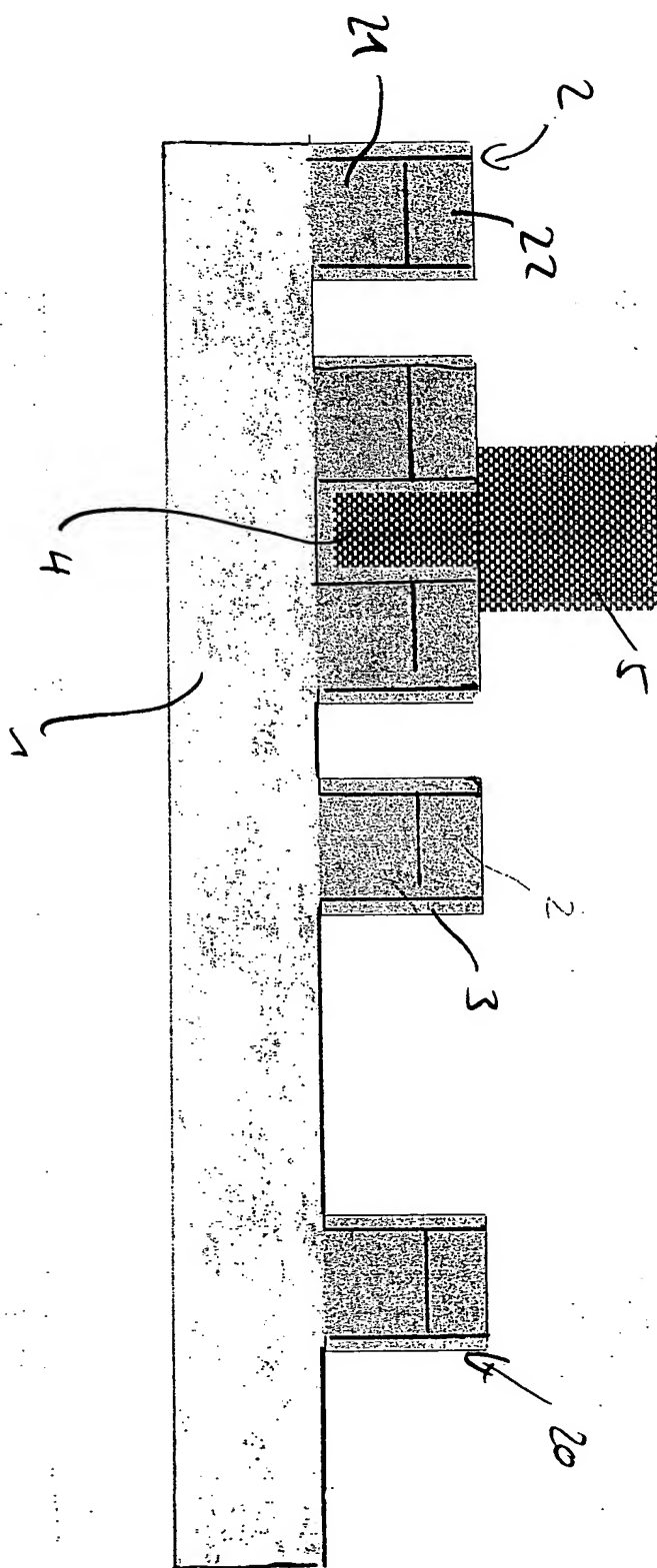
FIG. 1F



4122

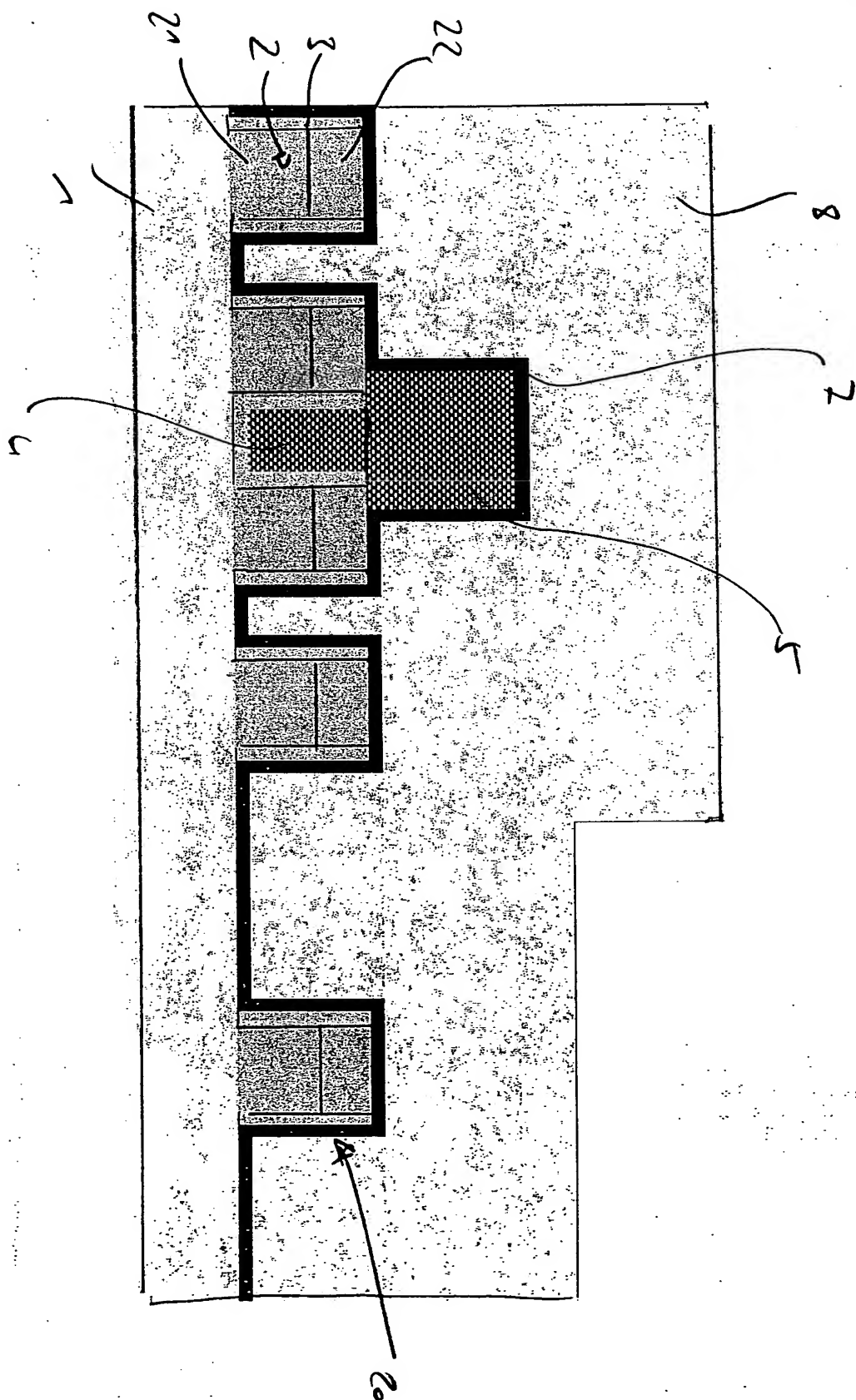
FIG. 16





6/22.

5+1
2
11



7122

1
+15
17

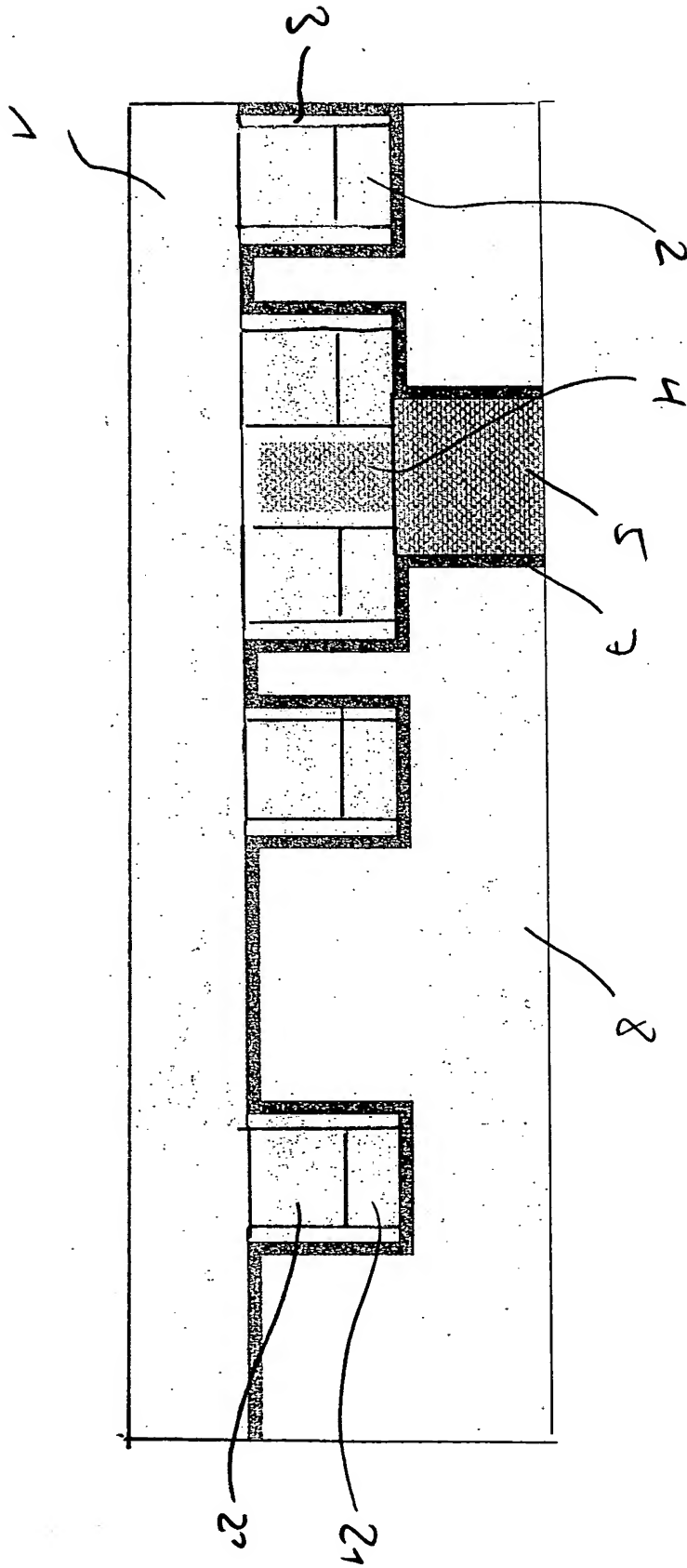
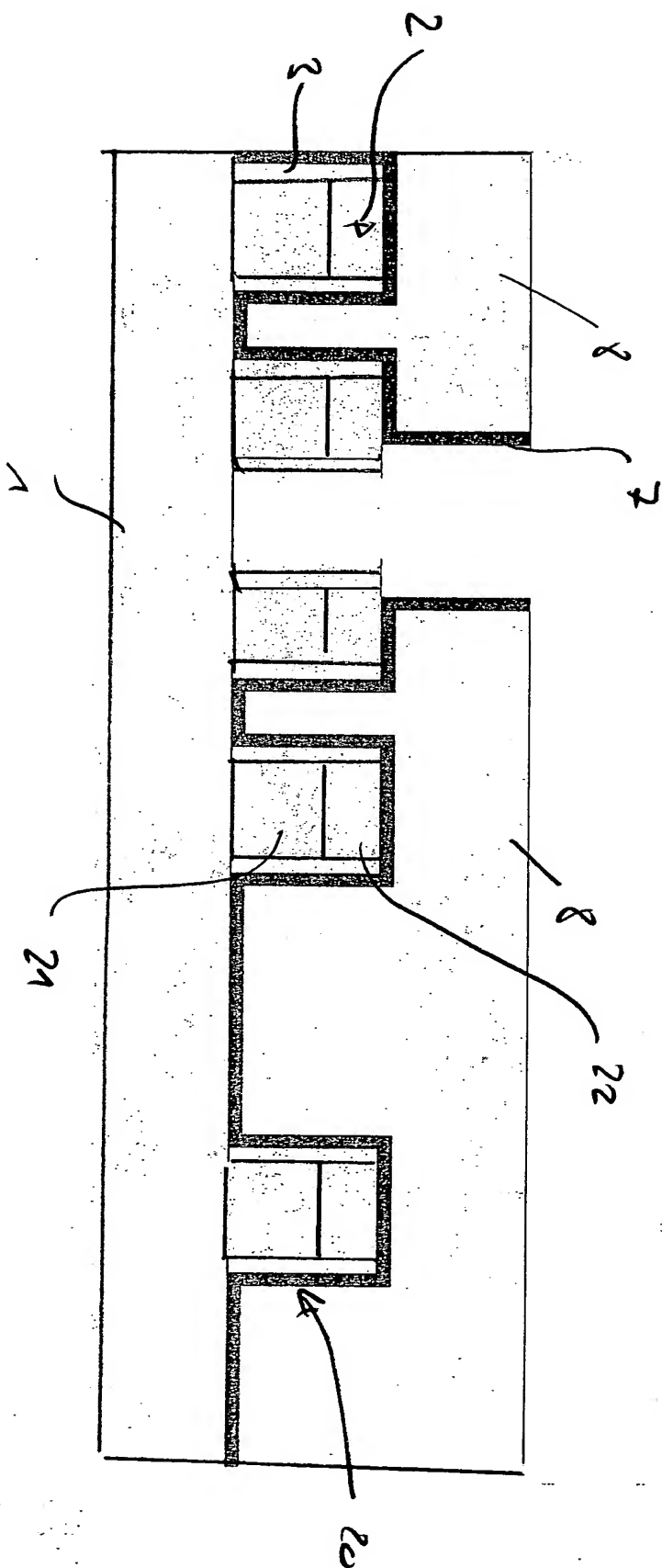


FIG. 1A

8122



72. NL

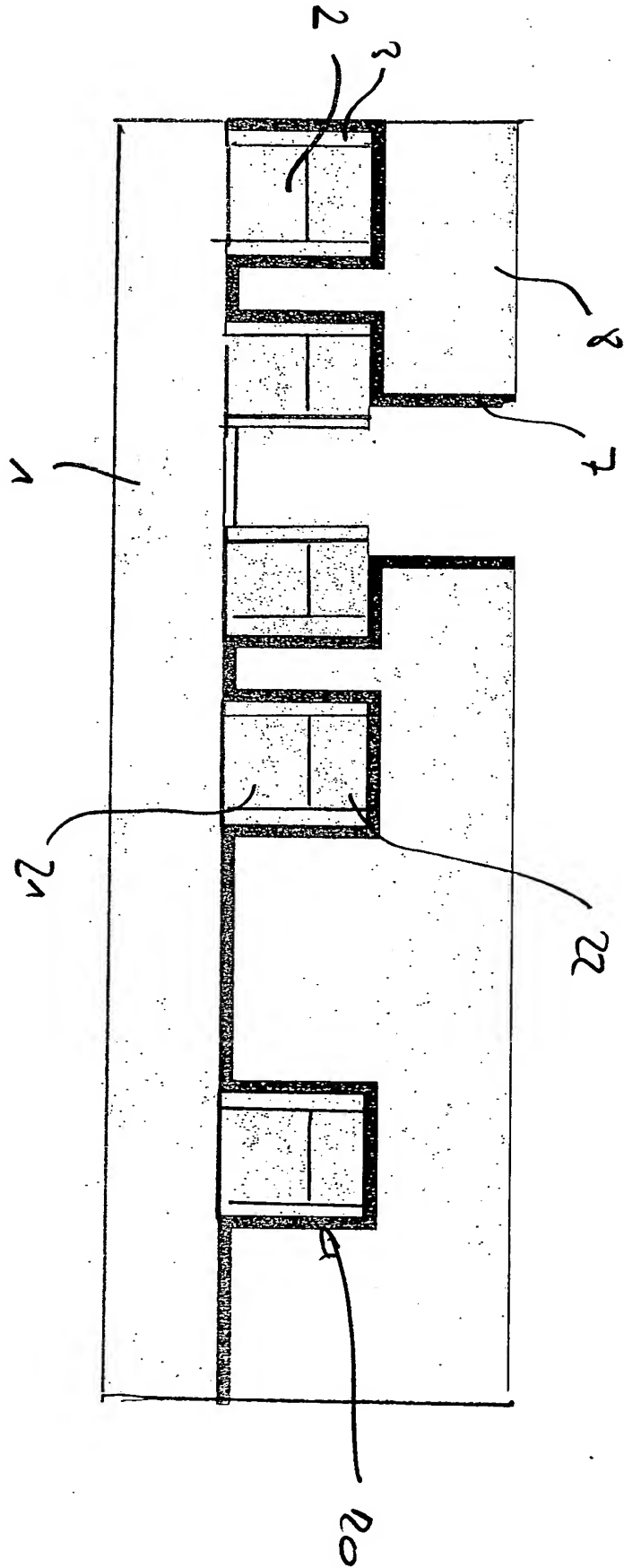
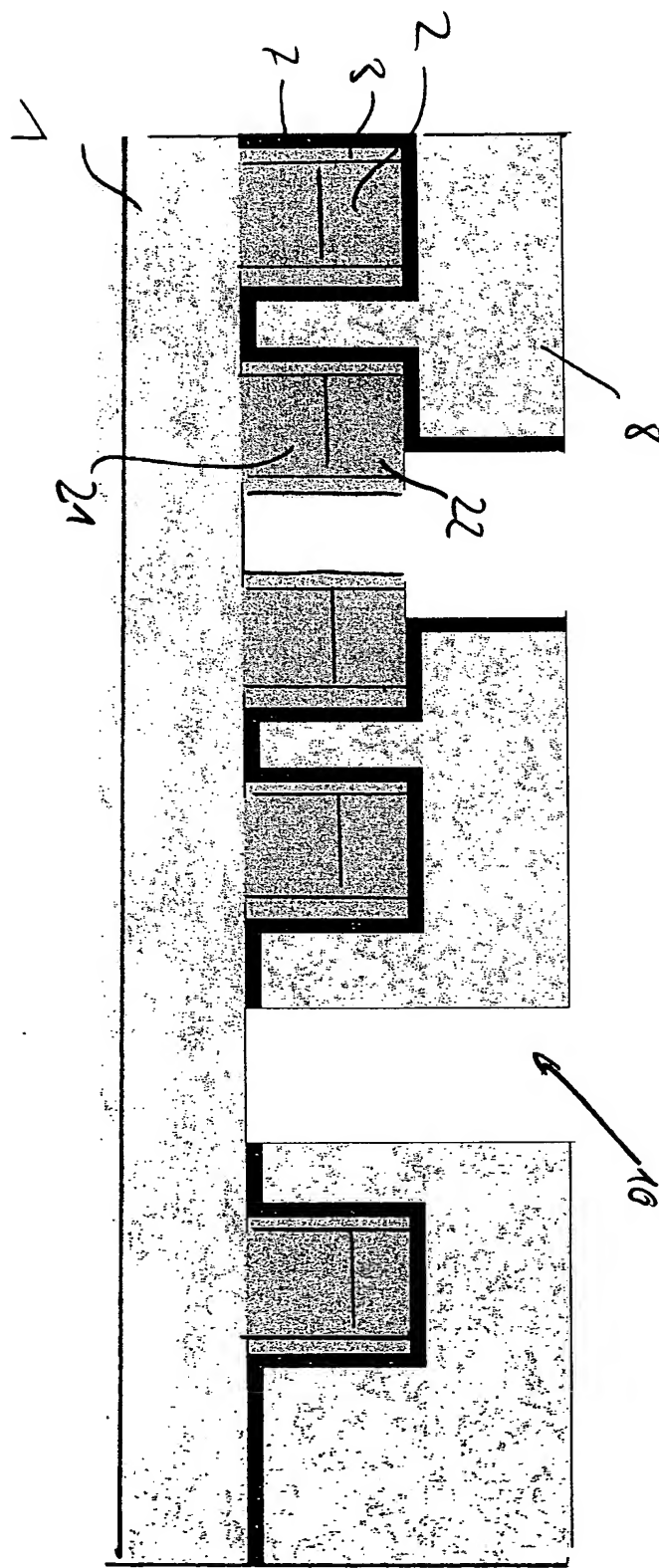


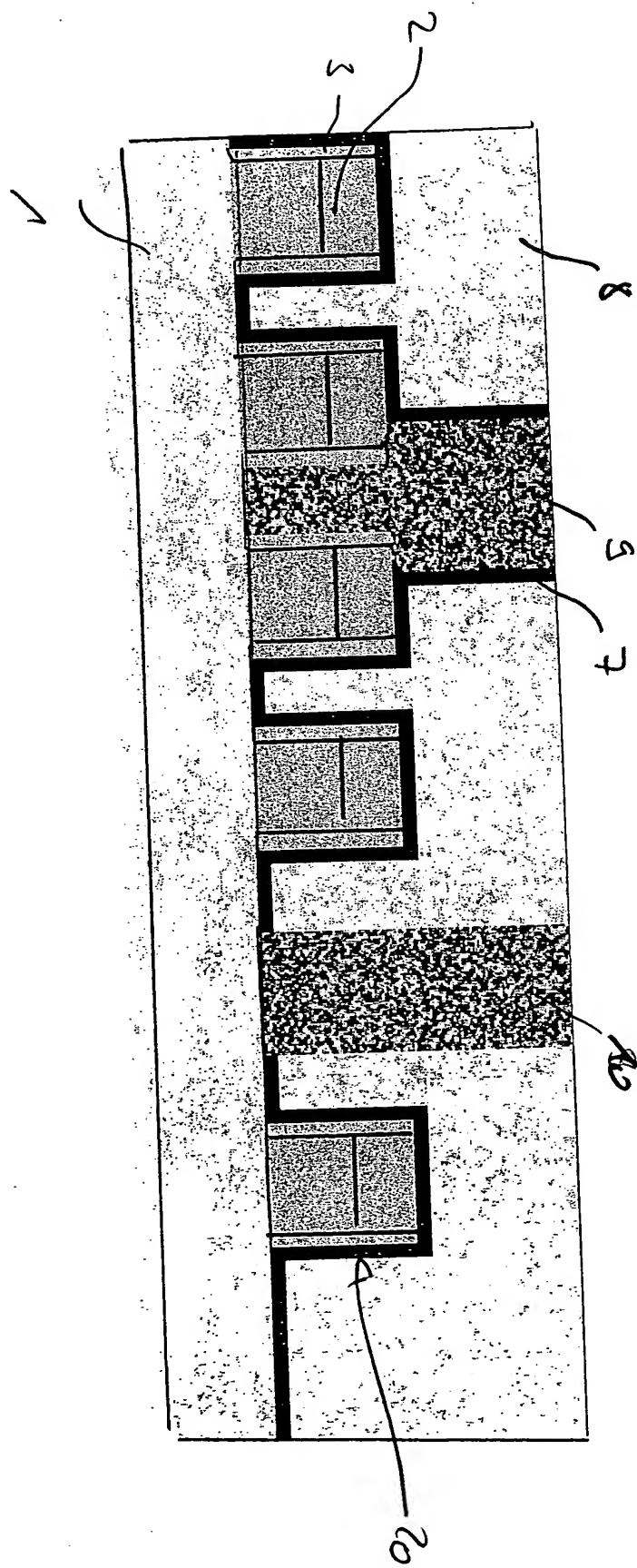
FIG. 17

10122



11122

115
N



12/22

Fig. 10

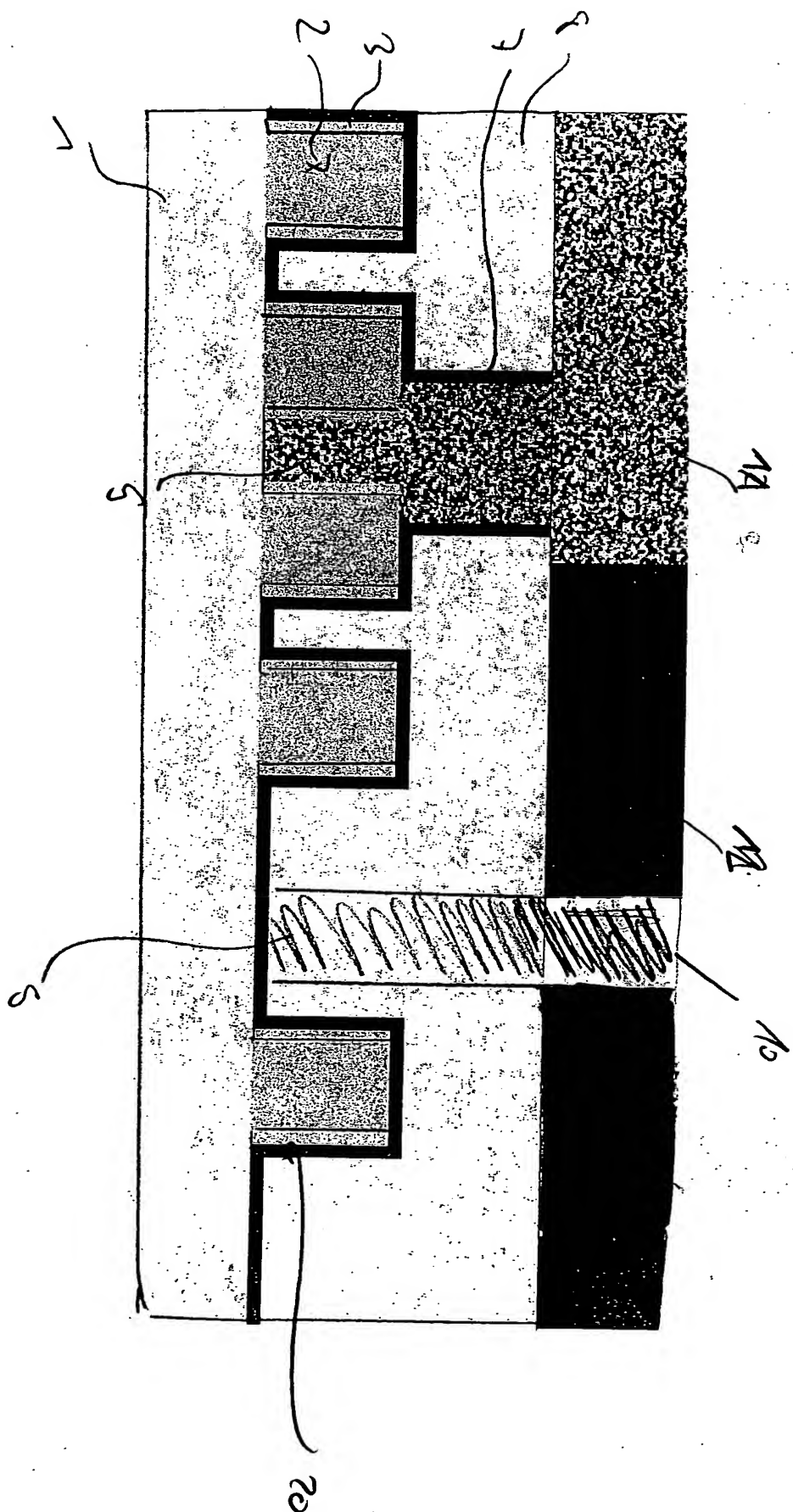
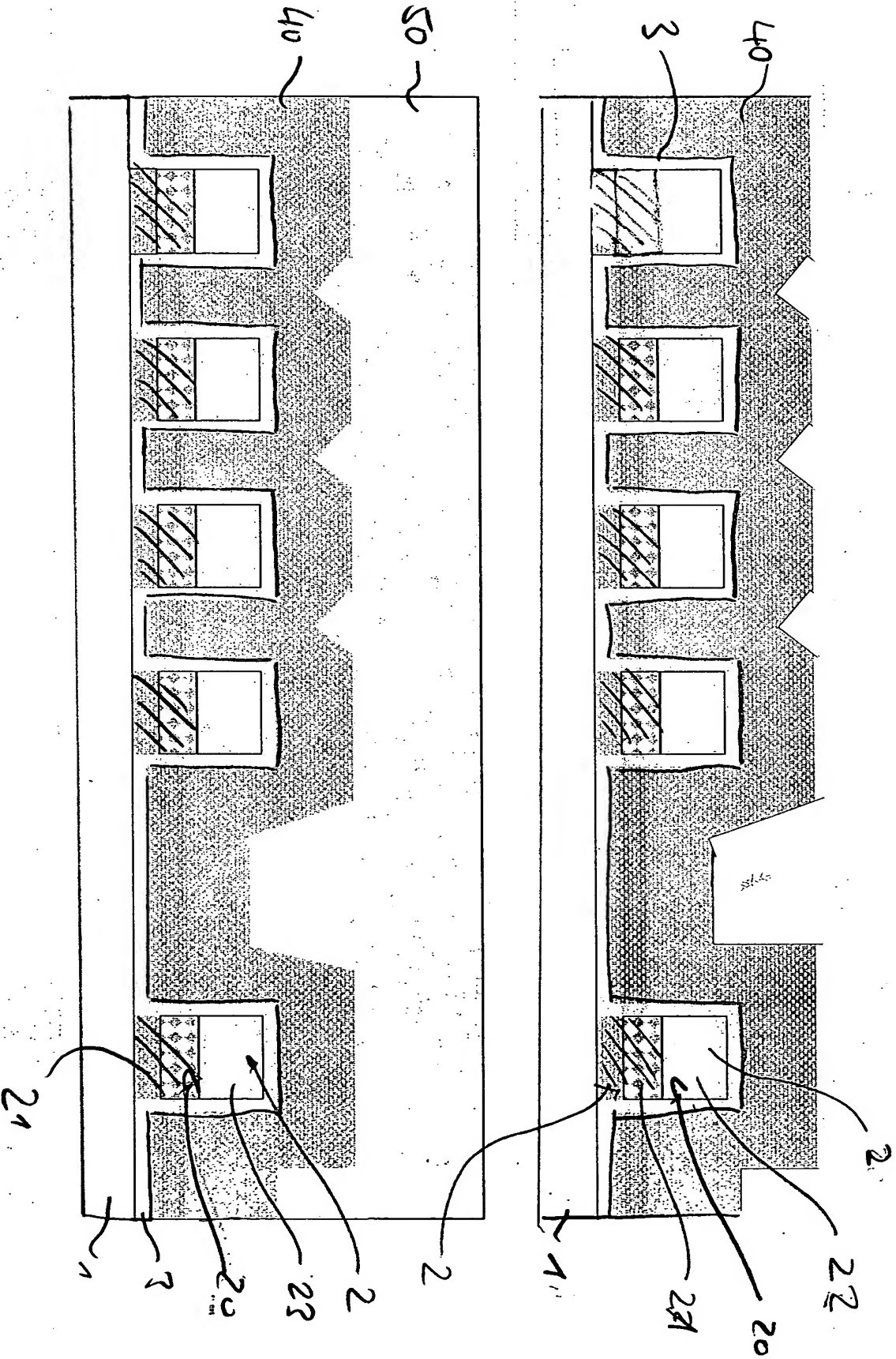


Fig. 2A

Fig. 2B

13122



T15.2C

14122

T15.2D

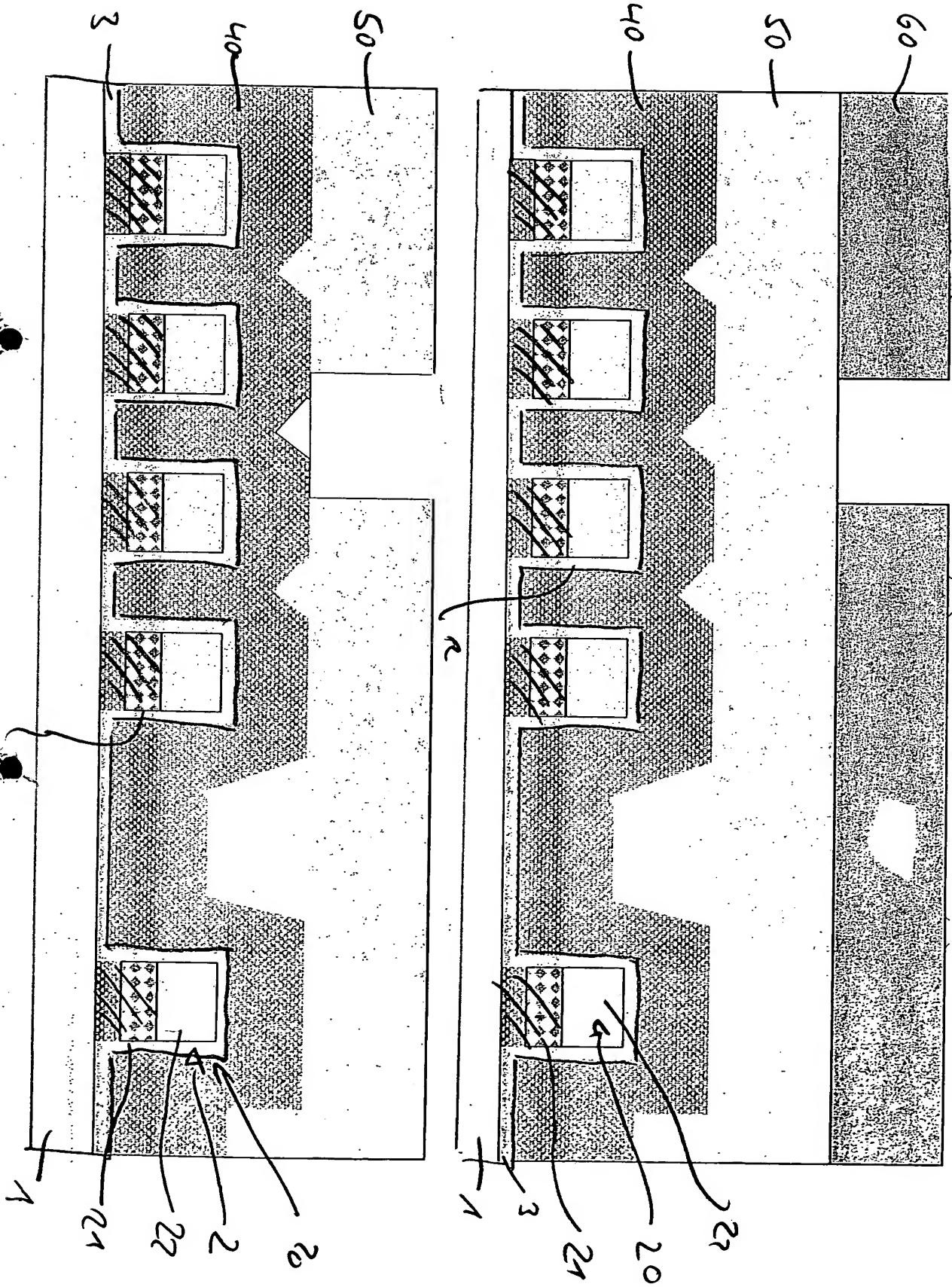


Fig. 2E

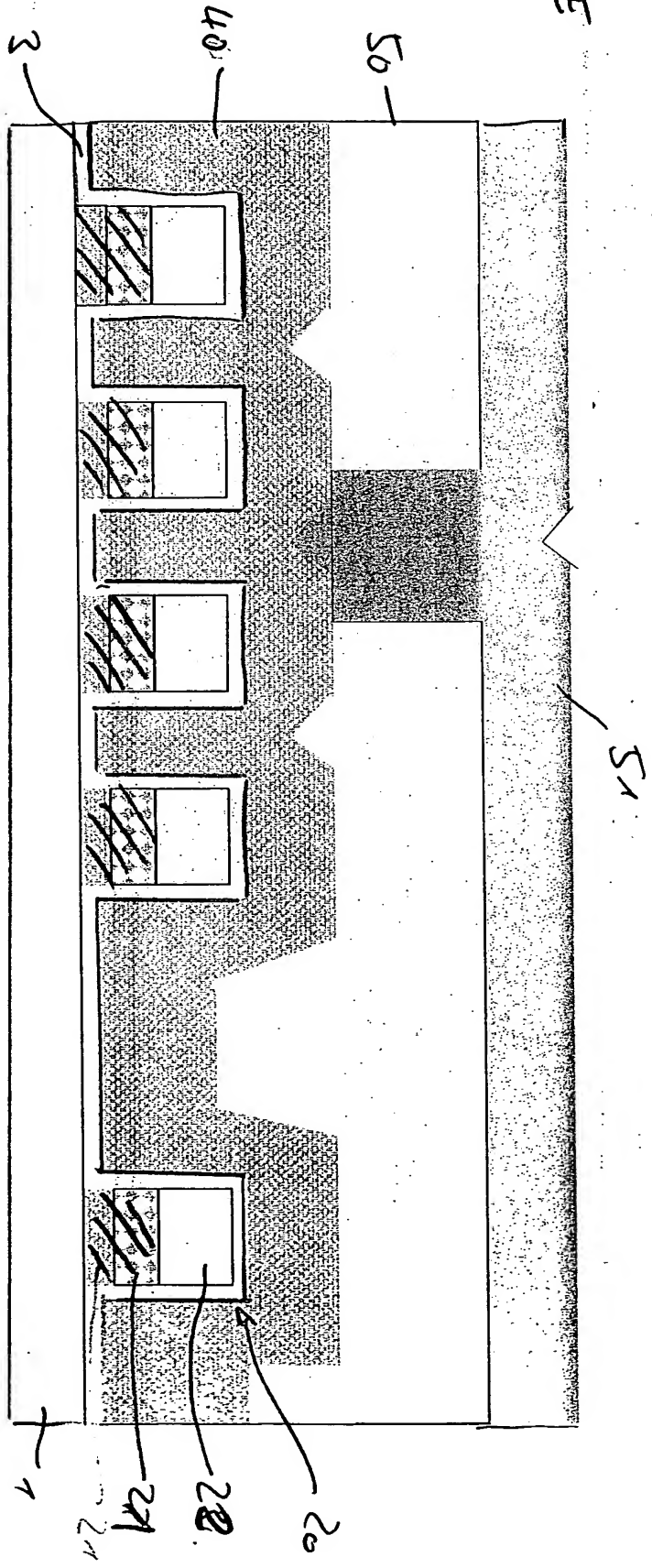
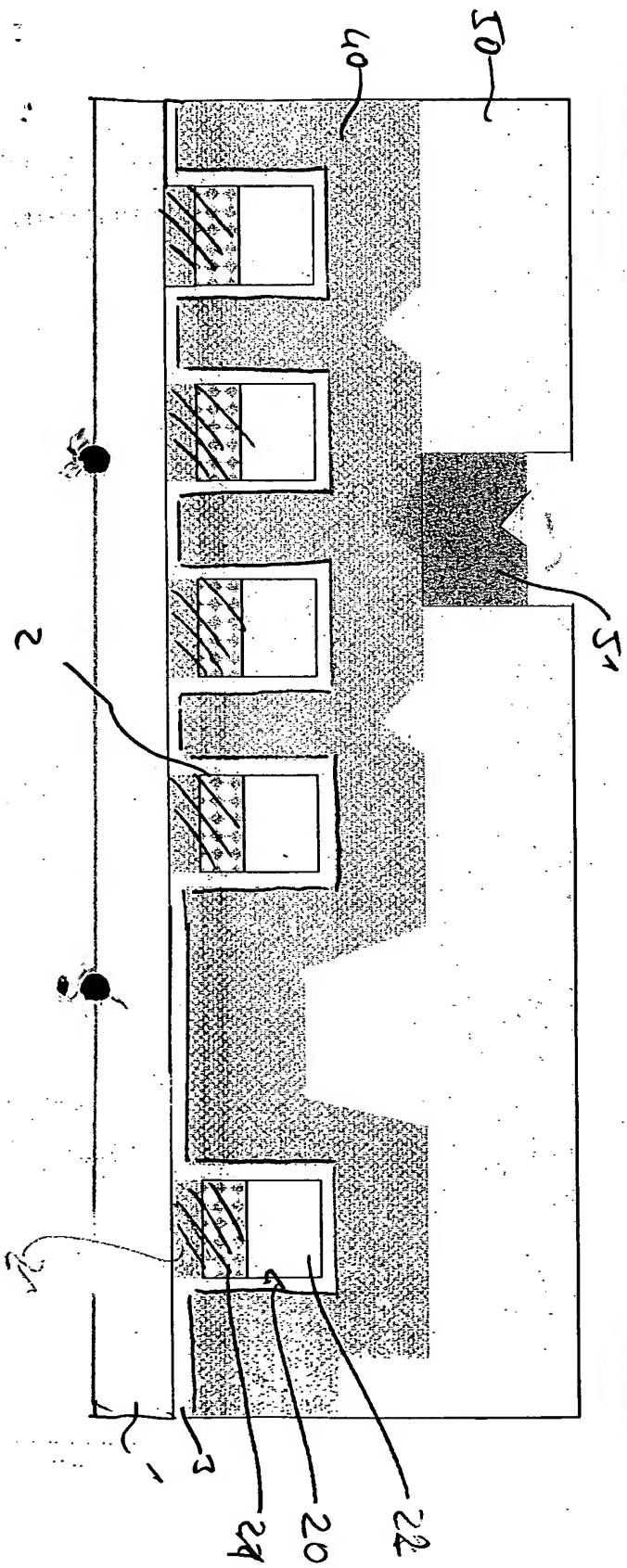


Fig. 2F



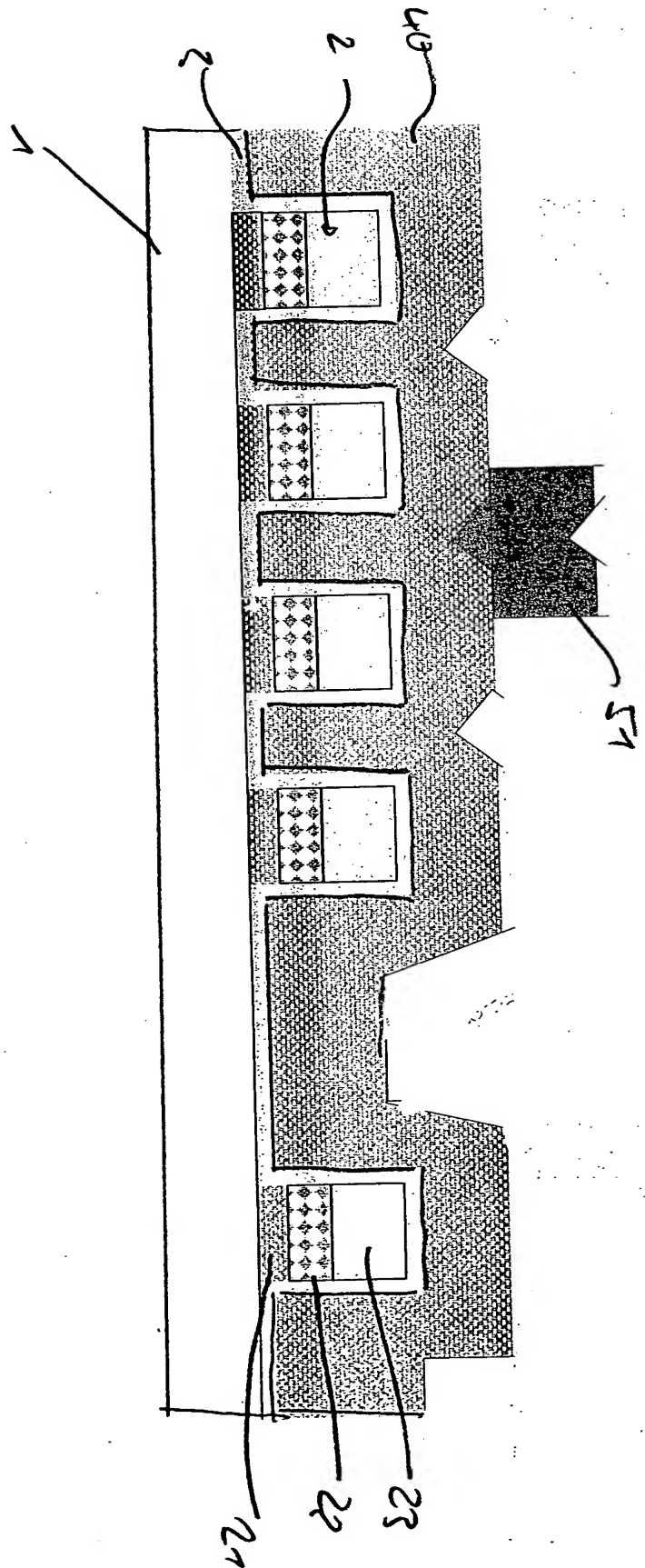
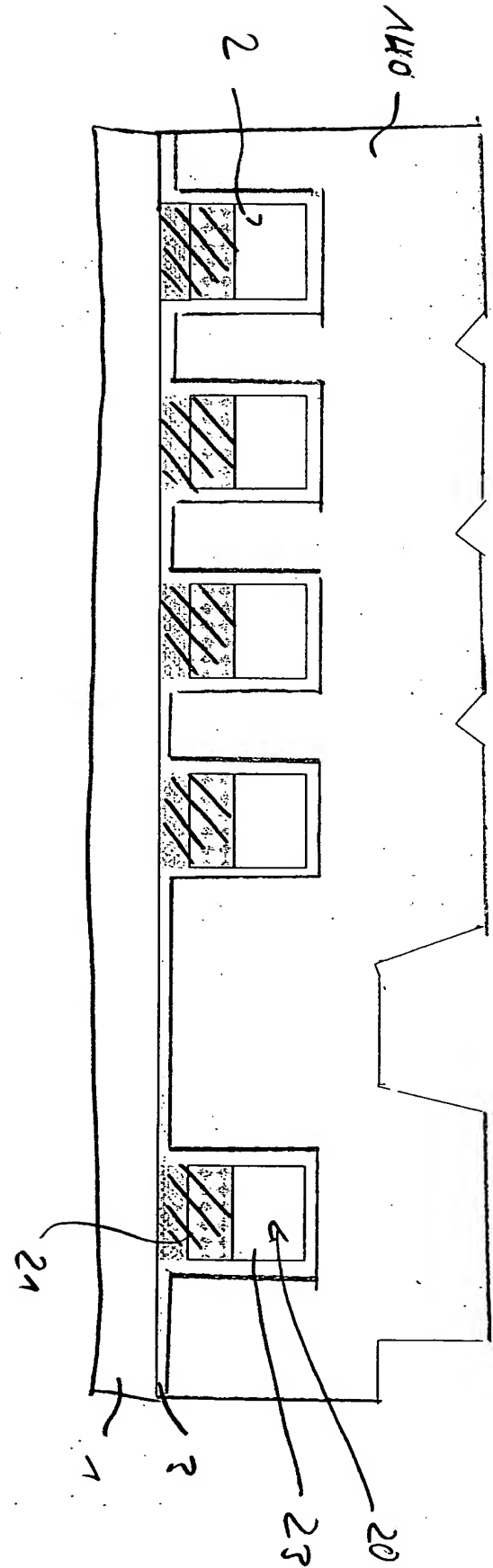


FIG. 3D



17122
+15 88

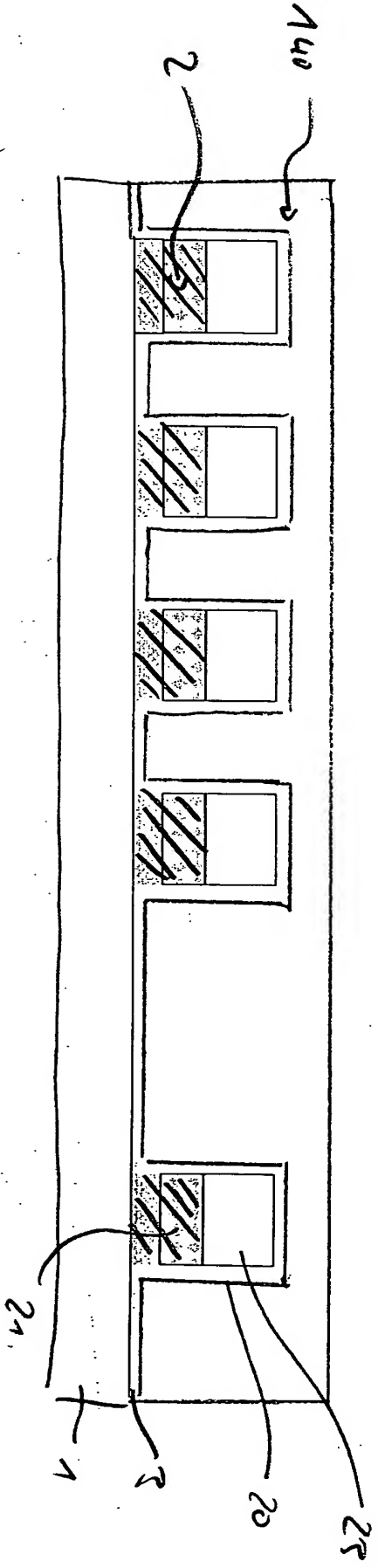
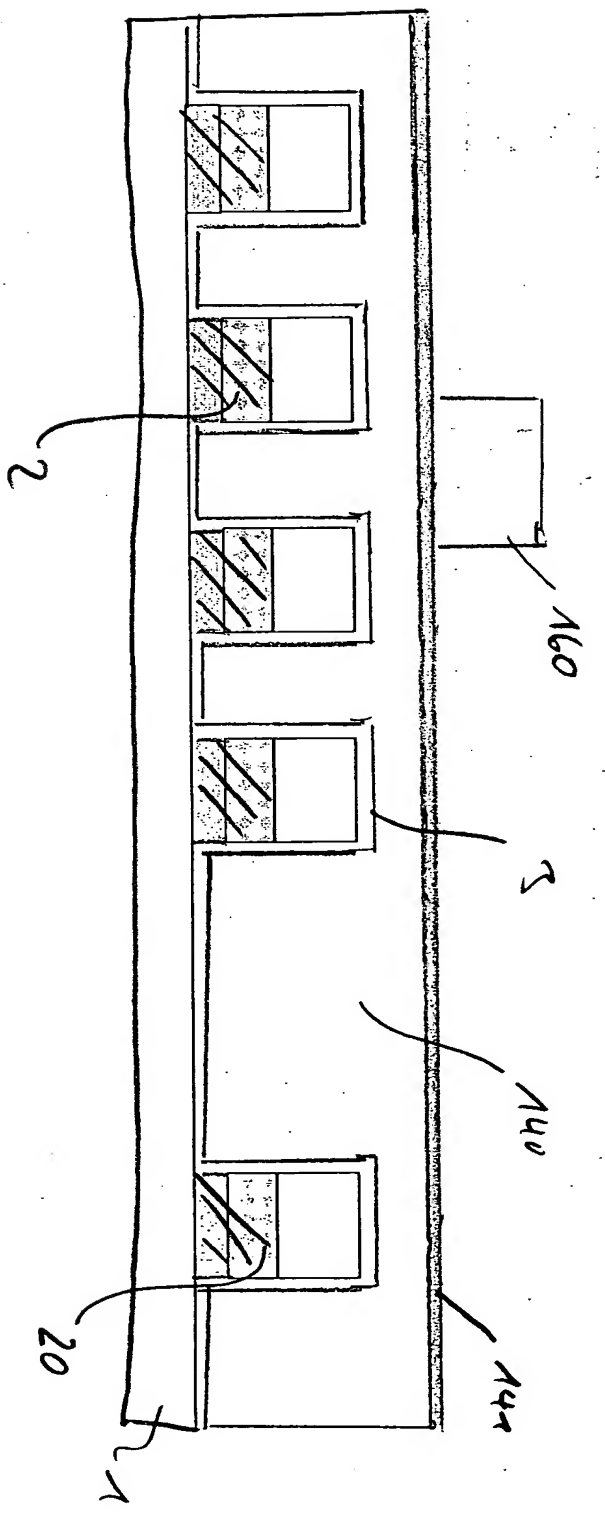
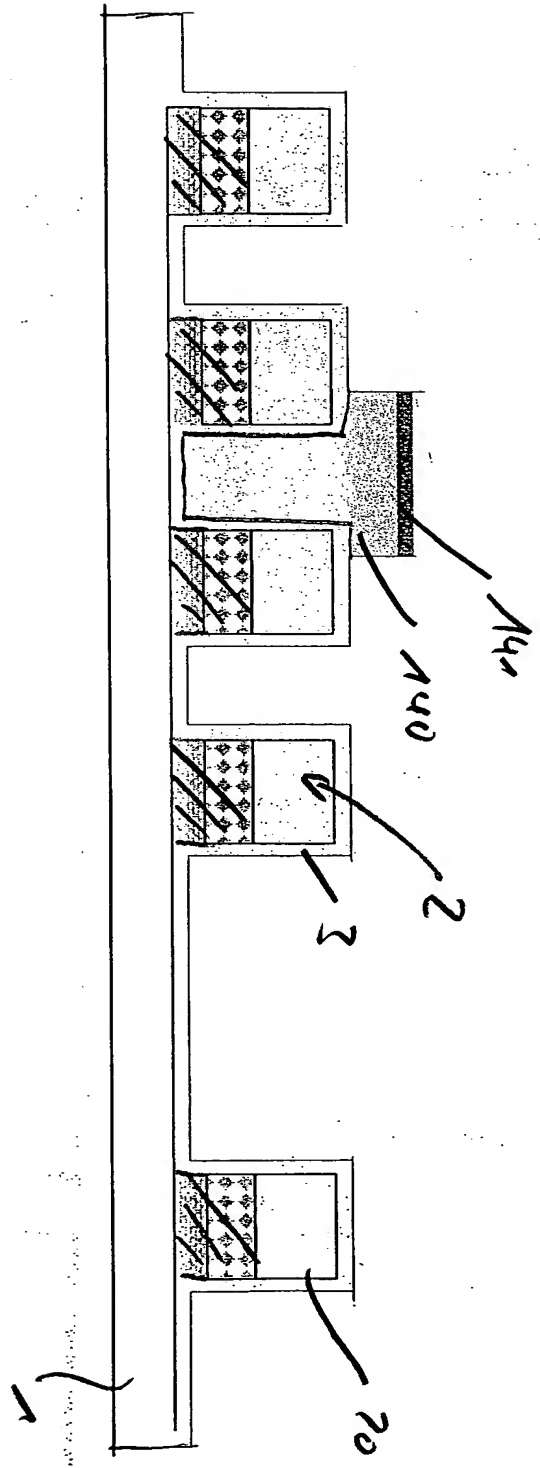


Fig. 3C



18/22

Fig. 3D



19 122

Fig. 4D

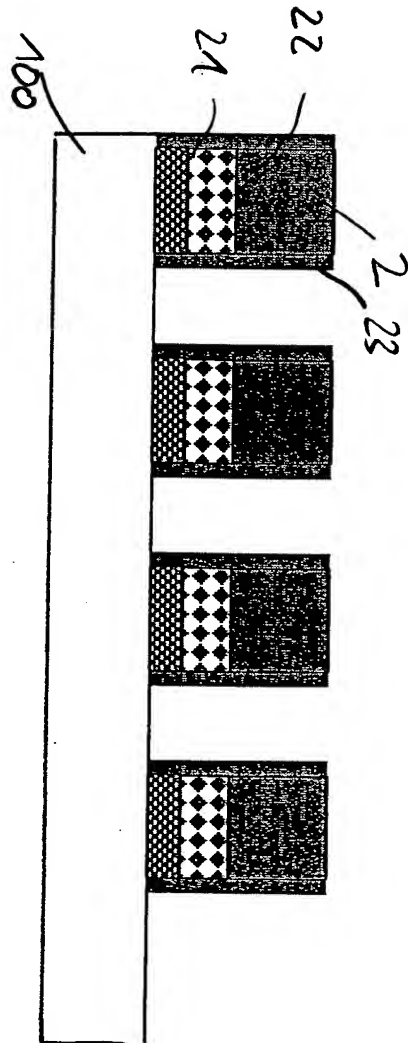
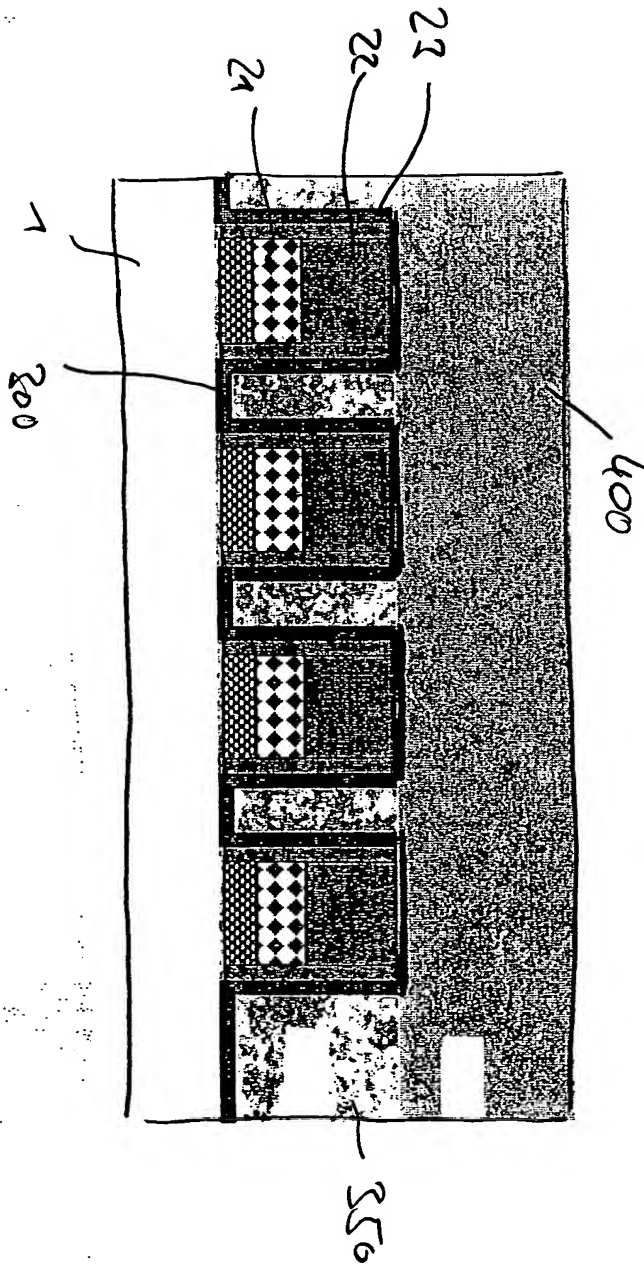


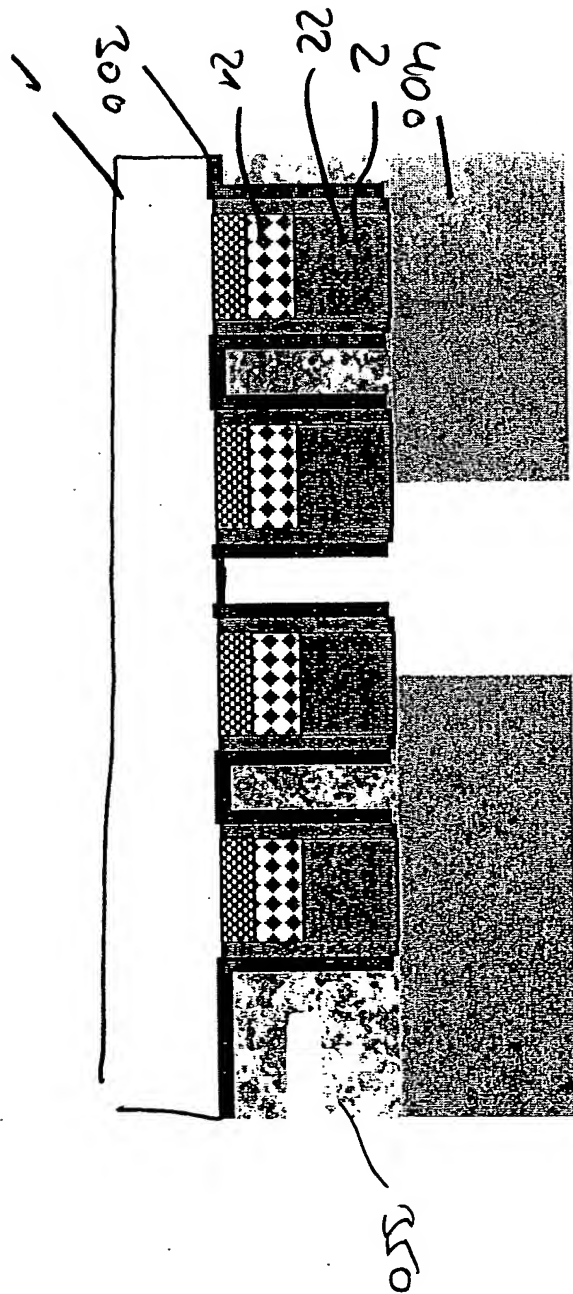
Fig. 4a

20/22



21/22

FIG. 4C



22 1/22

FIG. 4D

